

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ
ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ
ВЫСШЕГО ОБРАЗОВАНИЯ

«БРАТСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»

Кафедра управления в технических системах

УТВЕРЖДАЮ:

Проректор по учебной работе

_____ Е.И. Луковникова

«_____» _____ 201__ г.

**РАБОЧАЯ ПРОГРАММА ДИСЦИПЛИНЫ
ВЫЧИСЛИТЕЛЬНАЯ ТЕХНИКА И ИНФОРМАЦИОННЫЕ
ТЕХНОЛОГИИ**

Б1.Б.16

НАПРАВЛЕНИЕ ПОДГОТОВКИ

11.03.02 Инфокоммуникационные технологии и системы связи

ПРОФИЛЬ ПОДГОТОВКИ

Многоканальные телекоммуникационные системы

Программа академического бакалавриата

Квалификация (степень) выпускника: бакалавр

1. ПЕРЕЧЕНЬ ПЛАНИРУЕМЫХ РЕЗУЛЬТАТОВ ОБУЧЕНИЯ ПО ДИСЦИПЛИНЕ, СООТНЕСЕННЫХ С ПЛАНИРУЕМЫМИ РЕЗУЛЬТАТАМИ ОСВОЕНИЯ ОБРАЗОВАТЕЛЬНОЙ ПРОГРАММЫ	3
2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОБРАЗОВАТЕЛЬНОЙ ПРОГРАММЫ	3
3. РАСПРЕДЕЛЕНИЕ ОБЪЕМА ДИСЦИПЛИНЫ	4
3.1 Распределение объёма дисциплины по формам обучения.....	4
3.2 Распределение объёма дисциплины по видам учебных занятий и трудоемкости	4
4. СОДЕРЖАНИЕ ДИСЦИПЛИНЫ	5
4.1 Распределение разделов дисциплины по видам учебных занятий	5
4.2 Содержание дисциплины, структурированное по разделам и темам	6
4.3 Лабораторные работы.....	23
4.4 Практические занятия.....	23
5. МАТРИЦА СООТНЕСЕНИЯ РАЗДЕЛОВ УЧЕБНОЙ ДИСЦИПЛИНЫ К ФОРМИРУЕМЫМ В НИХ КОМПЕТЕНЦИЯМ И ОЦЕНКЕ РЕЗУЛЬТАТОВ ОСВОЕНИЯ ДИСЦИПЛИНЫ	24
6. ПЕРЕЧЕНЬ УЧЕБНО-МЕТОДИЧЕСКОГО ОБЕСПЕЧЕНИЯ ДЛЯ САМОСТОЯТЕЛЬНОЙ РАБОТЫ ОБУЧАЮЩИХСЯ ПО ДИСЦИПЛИНЕ	25
7. ПЕРЕЧЕНЬ ОСНОВНОЙ И ДОПОЛНИТЕЛЬНОЙ ЛИТЕРАТУРЫ, НЕОБХОДИМОЙ ДЛЯ ОСВОЕНИЯ ДИСЦИПЛИНЫ.....	25
8. ПЕРЕЧЕНЬ РЕСУРСОВ ИНФОРМАЦИОННО – ТЕЛЕКОММУНИКАЦИОННОЙ СЕТИ «ИНТЕРНЕТ» НЕОБХОДИМЫХ ДЛЯ ОСВОЕНИЯ ДИСЦИПЛИНЫ	25
9. МЕТОДИЧЕСКИЕ УКАЗАНИЯ ДЛЯ ОБУЧАЮЩИХСЯ ПО ОСВОЕНИЮ ДИСЦИПЛИНЫ.....	25
9.1. Методические указания для обучающихся по выполнению лабораторных работ/ практических работ	25
9.2. Методические указания по выполнению контрольной работы	30
10. ПЕРЕЧЕНЬ ИНФОРМАЦИОННЫХ ТЕХНОЛОГИЙ, ИСПОЛЬЗУЕМЫХ ПРИ ОСУЩЕСТВЛЕНИИ ОБРАЗОВАТЕЛЬНОГО ПРОЦЕССА ПО ДИСЦИПЛИНЕ	35
11. ОПИСАНИЕ МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЙ БАЗЫ, НЕОБХОДИМОЙ ДЛЯ ОСУЩЕСТВЛЕНИЯ ОБРАЗОВАТЕЛЬНОГО ПРОЦЕССА ПО ДИСЦИПЛИНЕ	35
Приложение 1. Фонд оценочных средств для проведения промежуточной аттестации обучающихся по дисциплине.....	36
Приложение 2. Аннотация рабочей программы дисциплины	40
Приложение 3. Протокол о дополнениях и изменениях в рабочей программе	42
Приложение 4. Фонд оценочных средств для текущего контроля успеваемости по дисциплине.....	42

1. ПЕРЕЧЕНЬ ПЛАНИРУЕМЫХ РЕЗУЛЬТАТОВ ОБУЧЕНИЯ ПО ДИСЦИПЛИНЕ, СООТНЕСЕННЫХ С ПЛАНИРУЕМЫМИ РЕЗУЛЬТАТАМИ ОСВОЕНИЯ ОБРАЗОВАТЕЛЬНОЙ ПРОГРАММЫ

Вид деятельности выпускника

Дисциплина охватывает круг вопросов, относящихся к экспериментально-исследовательским видам профессиональной деятельности выпускника в соответствии с компетенциями и видами деятельности, указанными в учебном плане.

Цель дисциплины

Приобретение теоретических основ и практических навыков в области вычислительных машин, изучение общих принципов построения и функционирования базовых логических устройств, получение студентами комплекса знаний, умений и навыков, необходимых для повышения эффективности профессиональной деятельности средствами информационных технологий

Задачи дисциплины

Ознакомление обучающихся с теоретическими знаниями по вычислительным машинам, развитие умения и навыки работы на ЭВМ, формирование знаний и умений по архитектуре и аппаратной части ЭВМ.

Код компетенции	Содержание компетенций	Перечень планируемых результатов обучения по дисциплине
1	2	3
ОПК-1	способность понимать сущность и значение информации в развитии современного информационного общества, сознавать опасности и угрозы, возникающие в этом процессе, соблюдать основные требования информационной безопасности, в том числе защиты государственной	Знать: - основные принципы построение узлов ЭВМ, - основные принципы построение систем и сетей; Уметь: - контролировать работу вычислительных устройств . Владеть: - навыками практической работы с лабораторными макетами логических элементов;
ОПК-2	способность решать стандартные задачи профессиональной деятельности на основе информационной и библиографической культуры с применением инфокоммуникационных технологий и с учетом основных требований информационной безопасности	Знать: - взаимодействие цифровых узлов и блоков, - принципы обработки различных видов информации; Уметь: - вводить, выводить и обрабатывать различные виды информации. Владеть: - навыками разработки и обоснования соответствующих техническому заданию и современному уровню развития информационных систем.

2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОБРАЗОВАТЕЛЬНОЙ ПРОГРАММЫ

Дисциплина Б1.Б.16 Вычислительная техника и информационные технологии относится к базовой части.

Дисциплина вычислительная техника и информационные технологии базируется на знаниях, полученных при изучении дисциплин Б1.Б.8 Информатика, Б1.Б.9 Физика.

Основываясь на изучении перечисленных дисциплин, вычислительная техника и информационные технологии представляет основу для изучения дисциплины: Б1.В.13 Многоканальные телекоммуникационные системы.

Такое системное междисциплинарное изучение направлено на достижение требуемого ФГОС уровня подготовки по квалификации бакалавр.

3. РАСПРЕДЕЛЕНИЕ ОБЪЕМА ДИСЦИПЛИНЫ

3.1. Распределение объема дисциплины по формам обучения

Форма обучения	Курс	Семестр	Трудоемкость дисциплины в часах						Курсовая работа (проект), контрольная работа, реферат, РГР	Вид промежуточной аттестации
			Всего часов (с экз.)	Аудиторных часов	Лекции	Лабораторные работы	Практические занятия	Самостоятельная работа		
1	2	3	4	5	6	7	8	9	10	11
Очная	3	5	144	68	17	34	17	40	-	Экзамен
Заочная	-	-	-	-	-	-	-	-	-	-
Заочная (ускоренное обучение)	-	-	-	-	-	-	-	-	-	-
Очно-заочная	-	-	-	-	-	-	-	-	-	-

3.2. Распределение объема дисциплины по видам учебных занятий и трудоемкости

Вид учебных занятий	Трудоемкость (час.)	в т.ч. в интерактивной, активной, инновационной формах, (час.)	Распределение по семестрам, час
			5
1	2	3	4
I. Контактная работа обучающихся с преподавателем (всего)	68	-	68
Лекции (Лк)	17	-	17
Лабораторные работы (ЛР)	34	-	34
Практические работы (ПР)	17	-	17
Индивидуальные (групповые) консультации	+	-	+
II. Самостоятельная работа обучающихся (СР)	40	-	40
Подготовка к лабораторным работам	20	-	20
Подготовка к практическим работам	10	-	10
Подготовка к экзамену в течение семестра	10	-	10
III. Промежуточная аттестация экзамен	36	-	36
Общая трудоемкость дисциплины час. зач. ед.	144	-	144
	4	-	4

4. СОДЕРЖАНИЕ ДИСЦИПЛИНЫ

4.1. Распределение разделов дисциплины по видам учебных занятий - для очной формы обучения:

№ раз- дела и темы	Наименование раздела и тема дисциплины	Трудоем- кость, (час.)	Виды учебных занятий, включая самостоятельную работу обучающихся и трудоемкость; (час.)			
			учебные занятия			самосто- ятельна я работа обучаю- щихся
			лекции	лабораторные работы	практич еские работы	
1	2	3	4	5	6	7
1.	Теоретические основы построения узлов ЭВМ	30	4	4	6	16
1.1.	Физические формы представления информации.	15	2	2	3	8
1.2.	Математические модели схем ЭВМ.	15	2	2	3	8
2.	Элементы и узлы ЭВМ	66	9	30	11	16
2.1.	Логические элементы.	12	2	6	-	4
2.2.	Основные характеристики логических элементов.	11	2	6	-	3
2.3.	Триггеры.	11	2	6	-	3
2.4.	Счетчики.	15	2	6	4	3
2.5.	Дешифратор и мультиплексор.	17	1	6	7	3
3.	Процессоры и микропроцессоры.	12	4	-	-	8
3.1.	Основные принципы построения устройств обработки цифровой информации.	3	1	-	-	2
3.2.	Принципы организации арифметико-логических устройств.	3	1	-	-	2
3.3.	Структура и формат команд. Кодирование команд.	3	1	-	-	2
3.4.	Способы адресации.	3	1	-	-	2
	ИТОГО	108	17	34	17	40

4.2. Содержание дисциплины, структурированное по разделам и темам

1. ТЕОРЕТИЧЕСКИЕ ОСНОВЫ ПОСТРОЕНИЯ УЗЛОВ ЭВМ

1.1. Физические формы представления информации

Вся информация в ЭВМ кодируется совокупностью цифр. В свою очередь цифры отображаются квантованными по двум уровням сигналами.

В цифровых устройствах сигналы изменяются в дискретные моменты времени, обозначаемые целыми числами ($t = 0, 1, \dots, n$). Временной интервал между соседними моментами дискретного времени называется **тактом**. Эти интервалы являются одинаковыми для синхронных устройств и неодинаковыми для асинхронных устройств.

На физическом уровне сигналы могут быть представлены одним из трех основных способов: потенциальным, импульсным или динамическим.

При **потенциальном** способе нулю соответствует низкий уровень напряжения, а единице - высокий. Потенциальный сигнал характеризуется амплитудами низкого (U_0) и высокого (U_1) уровней напряжения, а также временами нарастания и спада сигнала, которые именуется передним (t_n) и задним (t_z) фронтами соответственно.

При **импульсном** способе 0 и 1 соответствуют импульсы различной полярности, либо 0 соответствует отсутствие, а 1 - наличие импульса. Импульсный сигнал характеризуется амплитудой импульса U_m , шириной (продолжительностью импульса по основанию) t_n , и передним t_n и задним t_z фронтами импульса. В идеальном случае импульсные сигналы должны появляться в тактовые моменты. В действительности имеет место запаздывание импульсного сигнала относительно тактового момента на время t .

При **динамическом** способе представления информации двум возможным значениям переменной соответствует наличие либо отсутствие серии импульсов.

В электронных схемах и устройствах, входящих в состав ЭВМ, применяется потенциальный способ представления информации, а для передачи информации между ЭВМ, а также при работе с магнитными носителями информации применяются импульсный и динамический способы.

1.2. Математические модели схем ЭВМ

Наиболее общей моделью любой схемы, узла или устройства ЭВМ является многополюсный черный ящик с l входами и m выходами. На входы модели поступают, а на выходах появляются сигналы, квантованные по двум уровням.



где x_i ($i = 1, 2, \dots, l$) - входные сигналы,
 y_j ($j = 1, 2, \dots, m$) - выходные сигналы.

Множество значений, которые может принимать переменная x_i , называют **алфавитом** переменной x_i . В современных ЭВМ алфавит входных и выходных сигналов состоит из двух букв: 0 и 1.

На входы модели поступают в каждый тактовый момент упорядоченные наборы букв, называемые **словами**. Множество всех допустимых наборов слов называется **входным алфавитом** X данной схемы. Аналогично множество всех допустимых комбинаций, образуемых выходными сигналами, называется **выходным алфавитом** Y .

Математические модели отражают зависимость между входными и выходными переменными схемы посредством системы уравнений:

$$y_j(t) = f\{x_1(t), x_2(t), \dots, x_l(t), q_1(t), q_2(t), \dots, q_s(t)\} \quad (I)$$

где $j = 1, 2, \dots, m$, а переменные q_1, q_2, \dots, q_s отражают внутренние состояния схемы.

Если переменные y_j не зависят от внутреннего состояния схемы, то одинаковым наборам входных переменных соответствует один и тот же набор выходных переменных. Такие схемы называются **комбинационными**.

При этом система уравнений может быть записана в виде:

$$y_j(t) = f\{x_1(t), x_2(t), \dots, x_l(t)\}, \quad \text{где } j = 1, 2, \dots, m. \quad (II)$$

Функции такого вида могут принимать только конечное число значений, и зависят от аргументов, также принимающих конечное число значений. Такие функции называются **переключательными**.

Переключательные функции, которые могут принимать только два значения - 0 и 1, и аргументы которых также могут принимать только одно из этих двух значений, получили название **булевых функций**.

Если выходные переменные $y_i(t)$ зависят не только от входных переменных, но и от внутреннего состояния схемы, то для полного ее описания необходимо указать еще одну систему уравнений:

$$q_n(t+1) = f\{x_1(t), x_2(t), \dots, x_l(t), q_1(t), q_2(t), \dots, q_s(t)\}, \quad \text{где } n = 1, 2, \dots, s. \quad (III)$$

Эта система отражает зависимость внутреннего состояния схемы в $(t+1)$ такте от ее состояния и входных сигналов в такте t .

Схемы, описываемые уравнениями I и III, получили название **цифровых автоматов**.

Для задания цифрового автомата должны быть указаны:

- 1) входной алфавит слов X ;
- 2) выходной алфавит слов Y ;
- 3) алфавит внутренних состояний Q ;
- 4) начальное состояние автомата q_0 ;
- 5) функция переходов $A(q,x)$;
- 6) функция выходов $B(q,x)$.

Функция переходов определяет зависимость состояния автомата $q(t+1)$ в момент времени $t+1$ от состояния автомата $q(t)$ и входного сигнала $x(t)$ в момент t .

Функция выходов определяет зависимость выходного сигнала $y(t)$ от состояния автомата $q(t)$ и входного сигнала $x(t)$.

Автомат, описываемый системой уравнений

$$q(t+1) = A\{q(t),x(t)\},$$

$$y(t) = B\{q(t),x(t)\}$$

называется **автоматом Мили**.

Автомат, выходной сигнал которого $y(t)$ в тактовый момент t зависит только от состояния автомата $q(t)$ и не зависит от входного сигнала, называется **автоматом Мура** и описывается системой:

$$q(t+1) = A\{q(t),x(t)\},$$

$$y(t) = B\{q(t)\}.$$

Если для двух любых состояний q_i и q_j автомата имеется входной сигнал, переводящий автомат из состояния q_i в q_j , то такой автомат называется автоматом с **полной системой переходов**. Автомат Мура имеет **полную систему выходов**, если выходные сигналы различны для всех его состояний.

При построении схем ЭВМ в качестве элементов памяти используются элементарные автоматы. **Элементарный автомат** - это автомат Мура с двумя внутренними состояниями, двумя различными выходными сигналами и несколькими входами, обладающий полными системами переходов и выходов.

2. ЭЛЕМЕНТЫ И УЗЛЫ ЭВМ

2.1 ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

Системой элементов ЭВМ называется функционально полный набор логических элементов, использующий одинаковый способ представления информации и одинаковый тип межэлементных связей.

Система элементов чаще всего избыточна по своему составу, что позволяет строить схемы с более простой топологией межэлементных связей и более экономные по количеству используемых элементов.

Классификация логических элементов:

1) По способу представления информации и типу межэлементных связей различают элементы импульсного, потенциального, импульсно-потенциального и динамического типа.

В современных ЭВМ применяются потенциальные и динамические элементы.

2) По функциональному назначению элементы принято разделять на **типовые и элементы специального назначения**. К **типовым** относятся логические, запоминающие и формирующие элементы. Логические элементы предназначены для преобразования информации, запоминающие - для ее хранения, а формирующие элементы - для восстановления стандартизированных значений физических параметров сигналов, изменяющихся во время прохождения сигналов по электрическим цепям. К элементам **специального назначения** относятся усилители слабых сигналов, генераторы токов и напряжений специальной формы и другие элементы, не изменяющие информационного содержания сигналов.

3) В зависимости от используемых физических явлений логические элементы подразделяются на полупроводниковые, магнитополупроводниковые, электромагнитные и др.

2.2. ОСНОВНЫЕ ХАРАКТЕРИСТИКИ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Общие технические характеристики:

- температурный диапазон,
- надежность,
- стоимость.

Специфические характеристики:

- функциональные возможности элемента,
- нагрузочная способность,
- быстродействие,
- помехоустойчивость,
- потребляемая мощность.

Функциональные возможности логического элемента характеризуются выполняемой им операцией и коэффициентами разветвления и объединения, т.е. факторами, влияющими на структуры более сложных схем, построенных с применением данного элемента.

При этом под **коэффициентом разветвления n** понимают число входов последующих ячеек, которые могут управляться от выхода данной ячейки, а под **коэффициентом объединения m** - число входов, которое может иметь ячейка. Величины m и n ограничиваются условиями сохранения нормального электрического режима ячейки.

Нагрузочная способность в общем случае определяется током, который может быть отдан ячейкой во внешние цепи (нагрузку). В случае однородных нагрузок, создаваемых входами идентичных ячеек, нагрузочная способность оценивается коэффициентом разветвления n .

Быстродействие логического элемента определяется скоростями его перехода из состояния "0" в состояние "1" и обратно. Переходные процессы изменения состояния элемента состоят из двух этапов: задержки и формирования фронта или спада сигнала. Длительность задержек и фронтов зависит от динамических свойств логического элемента.

Классификация логических элементов по типу радиокомпонентов, на которых реализуются логические функции.

Можно выделить следующие наиболее часто употребляемые на данный момент типы логических элементов:

- транзисторно-транзисторная логика с диодами Шоттки (ТТЛШ);
- КМОП-логика (логика на базе комплементарных полевых транзисторов со структурой металл-окисел-полупроводник);
- КМДП-логика (логика на базе комплементарных полевых транзисторов со структурой металл-диэлектрик-полупроводник);
- интегральная инжекционная логика (ИИЛ, I^2L , I^2L).

Следует отметить также некоторые типы элементов, которые в данный момент уже не применяются в новых разработках вследствие низкого быстродействия или большой рассеиваемой мощности.

- резисторно-транзисторная логика (РТЛ, RTL);
- резисторно - конденсаторная транзисторная логика (РКТЛ, RCTL);
- диодно-транзисторная логика (ДТЛ, DTL);
- транзисторно-транзисторная логика (ТТЛ, TTL);
- транзисторная логика с эмиттерными связями (ЭСЛ, TECL).
- транзисторная логика с непосредственными связями (DCTL).
- МОП-логика;
- МДП-логика (MDS).

Основные характеристики логических элементов

Амплитудная передаточная характеристика $U_{\text{вых}} = f(U_{\text{вх}})$ определяет формирующие свойства логического элемента, его помехоустойчивость, амплитуду и уровни стандартного сигнала. Вид характеристики зависит от типа логического элемента (ЭСЛ, ТТЛ и т.д.) и может изменяться в определенных пределах в зависимости от разброса параметров схем, изменений напряжения питания, нагрузки и температуры окружающей среды.

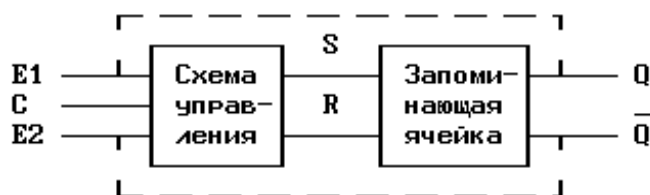
Входная характеристика $I_{\text{вх}} = f(U_{\text{вх}})$ и **выходная характеристика** $U_{\text{вых}} = f(I_{\text{вых}})$ позволяют определить нагрузочную способность элемента, режим его работы и способ согласования переходных процессов в линиях связи.

Импульсная (динамическая) помехоустойчивость - это зависимость допустимой амплитуды импульсной помехи от ее длительности $U_{\text{пом}} = f(t_{\text{пом}})$.

2.3. ТРИГГЕРЫ

Практически все устройства ЭВМ совмещают функции переработки и хранения информации. Неотъемлемая часть таких устройств - элемент памяти. В арифметических и логических устройствах для хранения информации чаще всего используют элемент с двумя устойчивыми состояниями - **триггер**.

Структуру триггера можно представить в виде запоминающей ячейки и схему управления:



Запоминающая ячейка - это схема, которая имеет два выхода Q и \bar{Q} , сигналы на которых всегда противоположны (если на одном 0, то на другом 1), и два входа - вход установки S (set) и вход сброса R (reset).

Переключающий сигнал по входу S устанавливает запоминающую ячейку в состояние "1", а по входу R - в состояние "0". В зависимости от типа элементов, из которых построена запоминающая ячейка, переключающим сигналом может являться либо "0", либо "1". Запоминающую ячейку называют также **асинхронным RS-триггером**.

Схема управления преобразует информацию, поступающую на входы E₁ и E₂ в сигналы, которые подаются на установочные входы запоминающей ячейки. В некоторых схемах выходные сигналы триггера поступают на вход схемы управления - на рисунке эти соединения показаны пунктиром.

Как правило, триггеры, применяемые в потенциальной системе элементов, имеют еще один вход - вход для синхронизирующих сигналов C. Импульсы, поступающие на вход C, не несут логической информации, но определяют момент приема триггером входной информации.

Классификация триггеров

В основу классификации триггерных устройств положены два основных признака: функциональный признак и способ записи информации в триггер.

Функциональная классификация - это классификация триггеров по типам схем управления. По функциональному признаку различают RS, S, R, E, T, D, TV, DV, RST и JK триггеры.

Классификация по способу записи информации характеризует временную диаграмму работы триггера, т.е. определяет ход процесса записи информации в триггер:



Временная диаграмма - это диаграмма, отображающая зависимость внутреннего состояния устройства, сигналов на его выходах и протекающих в нем переходных процессов от времени и сигналов на входах этого устройства.

Отличительной особенностью **асинхронных** триггеров является то, что запись информации в них осуществляется непосредственно в момент поступления информационного сигнала на вход триггера.

Запись информации в **синхронные тактируемые** триггеры осуществляется только при подаче разрешающего импульса (**синхроимпульса**) на синхронный вход C. Синхронные триггеры подразделяются на две категории: триггеры, срабатывающие по переднему фронту синхроимпульса ("**по уровню**"), и триггеры, срабатывающие по заднему фронту синхроимпульса ("**по спаду**").

Синхронные триггеры могут быть одноктактными и многотактными. Многотактные триггеры характеризуются тем, что формирование нового состояния триггера завершается с поступлением n-го синхроимпульса. Наибольшее распространение получили двухтактные синхронные триггеры.

Законы функционирования триггеров задаются таблицами переходов или составленными в соответствии с этими таблицами логическими уравнениями.

Входы триггеров обозначаются следующим образом:

- C - вход синхронизации;
- S (set) - вход установки триггера в 1;
- R (reset) - вход сброса триггера в 0;
- D (delay) - "задержка";
- T (trigger) - "защелка";
- J - вход установки JK-триггера в 1;
- K - вход установки JK-триггера в 0;
- V - управляющий вход DV-триггера.

Выходы триггеров: Q - прямой выход, \bar{Q} - инверсный выход.

Асинхронные триггеры

Асинхронные триггеры редко непосредственно используются в цифровых схемах, однако на базе асинхронных триггеров строятся все триггерные схемы.

Асинхронный RS-триггер

RS-триггер имеет два информационных входа R и S. При поступлении на эти входы сигналов S=1 и R=0 триггер принимает состояние Q=1, при S=0 и R=1 состояние Q=0, а при S=0 и R=0 триггер сохраняет то состояние, в котором он находился до поступления на его входы нулевых сигналов. Подача единичных сигналов на оба входа R и S запрещена.

Полная таблица переходов RS-триггера:

Q(t)	R(t)	S(t)	Q(t+1)
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	X
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	X

Минимизированная таблица переходов RS-триггера:

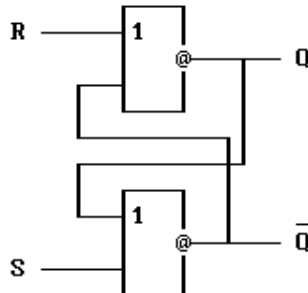
R(t)	S(t)	Q(t+1)
0	0	Q(t)
0	1	1
1	0	0
1	1	X

Логические уравнения RS-триггера имеют вид: __

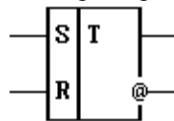
$$Q(t+1) = S(t) \vee \overline{R(t)} Q(t)$$

$$R(t)S(t) = 0$$

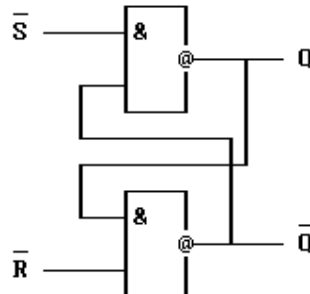
Асинхронный RS-триггер на элементах ИЛИ-НЕ:



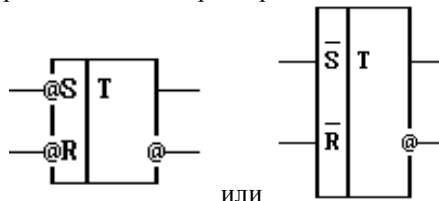
Условное графическое изображение такого триггера:



Асинхронный RS-триггер на элементах И-НЕ:

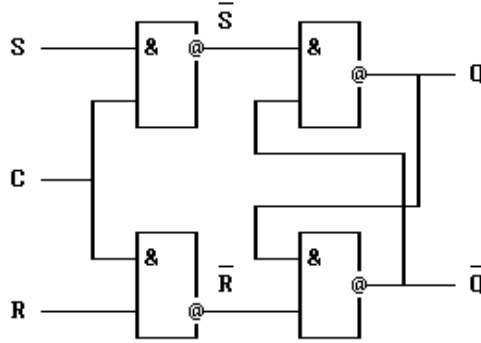


Условное графическое изображение такого триггера:



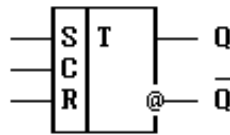
Синхронный одноклапный RS-триггер

Синхронные RS-триггеры имеют на каждом входе дополнительные схемы совпадения:

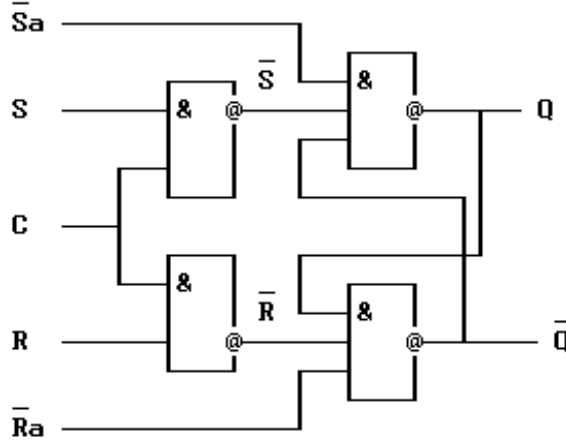


Если на входе C "ноль", то на выходах схемы совпадения также будут нулевые значения при любых сигналах на входах R и S. При поступлении синхриимпульса на вход схемы совпадения информация с входов R и S инвертируется и передается на входы асинхронного триггера.

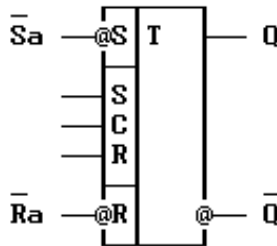
Графическое обозначение синхронного одноклапного RS-триггера:



Синхронный триггер может иметь дополнительные асинхронные входы R_a и S_a :



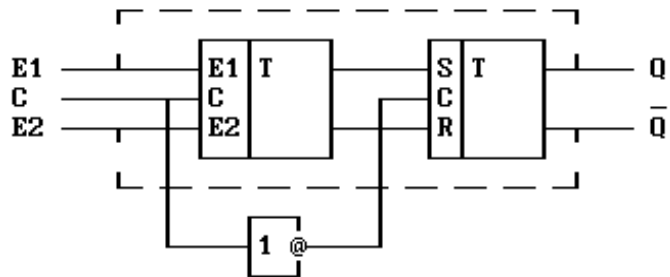
Графическое обозначение синхронного одноклапного RS-триггера с асинхронными входами:



Синхронные двухклапные триггеры

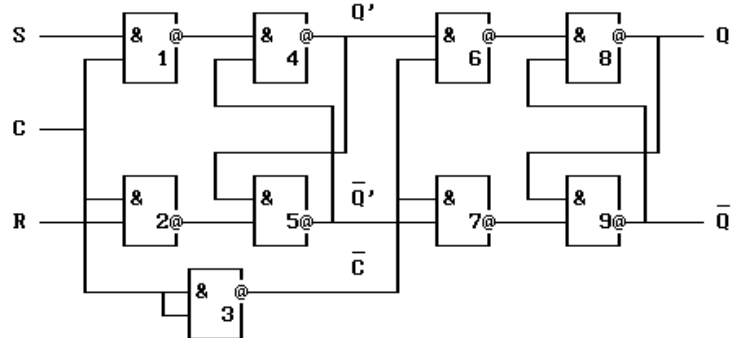
Синхронные двухступенчатые (двухклапные) триггеры построены по принципу "master-slave" (ведущий-ведомый). Триггерная схема состоит из двух частей-триггеров, одновременный прием информации в которые запрещен. Для построения первой и второй ступеней используют одноклапные синхронные триггеры. Информация передается во вторую ступень только после ее приема в первую ступень и окончания синхриимпульса, разрешающего запись информации в первую ступень. Такая последовательность приема информации достигается включением инвертора в цепь синхронизации для второй ступени.

Все двухклапные триггеры имеют следующую общую структуру:



Наиболее широкое применение в устройствах вычислительной техники находят двухтактные триггеры типов RS, T, D и JK.

Рассмотрим в качестве примера схему двухтактного RS-триггера:



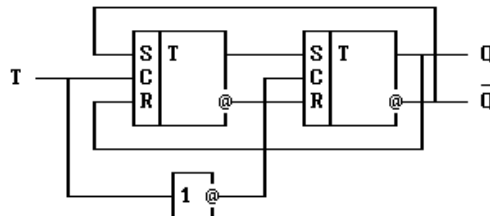
T-триггеры

T-триггер (триггер со счетным входом) изменяет свое состояние на противоположное каждый раз при подаче на вход T единичного сигнала.

Таблица переходов асинхронного T-триггера:

T(t)	Q(t+1)
0	Q(t)
1	$\overline{Q(t)}$

Схема асинхронного T-триггера:



Графическое изображение асинхронного T-триггера:

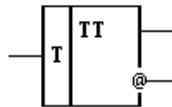
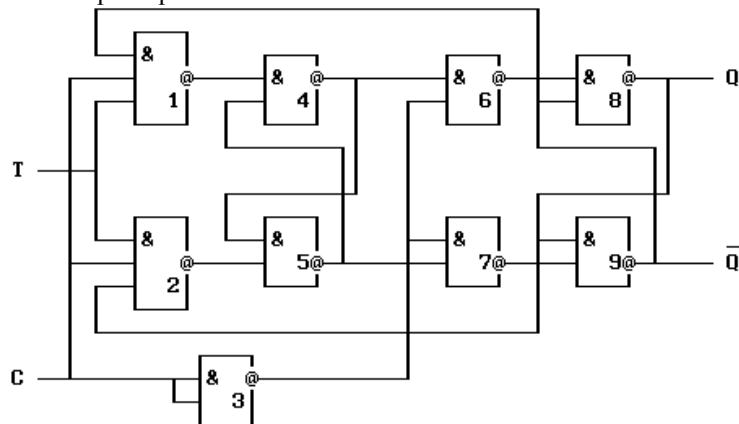
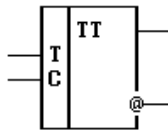


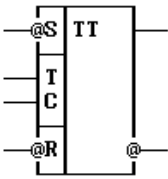
Схема синхронного T-триггера:



Графическое изображение синхронного T-триггера:



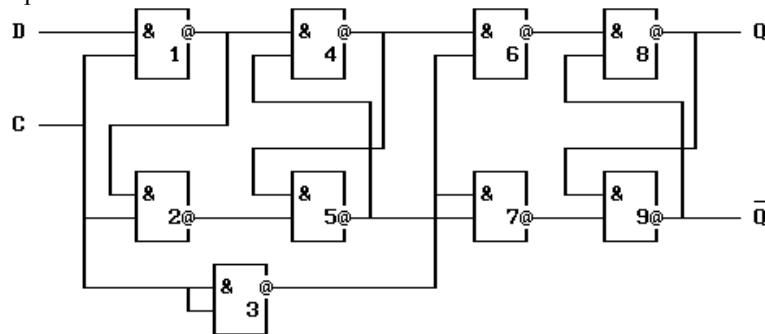
Синхронный Т-триггер с цепями сброса и установки:



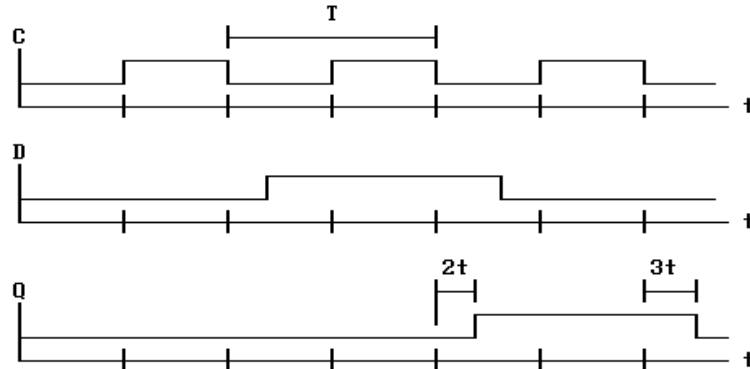
D-триггеры

Триггер D-типа - это триггер задержки. Он описывается логическим уравнением $Q(t+1)=D(t)$, т.е. состояние D-триггера в момент времени $t+1$ совпадает с кодом входного сигнала, действовавшего в момент времени t .

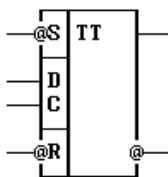
Схема D-триггера:



Временная диаграмма работы D-триггера:



D-триггер с цепями сброса и установки:



JK-триггеры

JK-триггер имеет обычно не менее 5 входов: входы асинхронной установки S и сброса R, вход тактовых импульсов C и управляющие входы J и K.

При подаче **единиц** на входы J и K JK-триггер работает как триггер со счетным входом: при поступлении каждого импульса на вход C (точнее, после спада импульса) состояние триггера изменяется на противоположное. Если на входах J и K установлены **нулевые** уровни, то состояние триггера при подаче импульсов на вход C не меняется. Если на входе J **единица**, а на входе K **ноль**, то после спада синхроимпульса на входе C JK-триггер устанавливается в состояние **единица** ($Q=1$). Если на входе J **ноль**, а на входе K **единица**, то после спада синхроимпульса на входе C JK-триггер устанавливается в состояние **ноль** ($Q=0$). Если на входе C низкий уровень, то изменение сигналов на входах J и K не влияет на состояние триггеров.

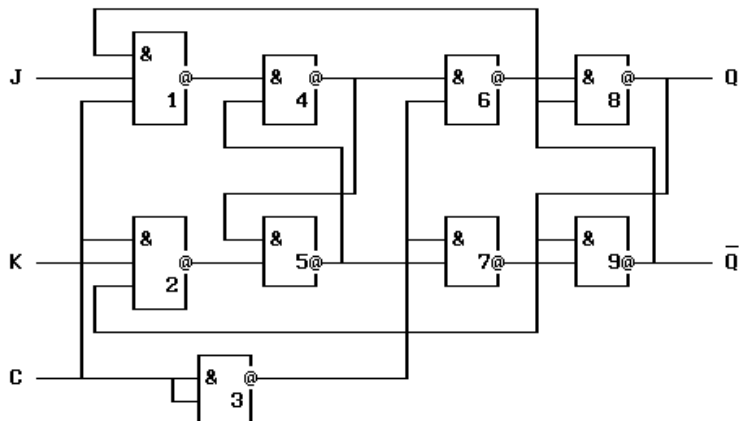
Следует различать "универсальные" и "синхронные" JK-триггеры. **Универсальный** триггер при наличии высокого уровня (**единицы**) на входе C и **спаде** сигнала (переходе из 1 в 0) на входе J переходит в состояние **единица**. При наличии **единицы** на входе C и **спаде** сигнала на входе K универсальный триггер переходит в состояние **ноль**. Этот режим работы универсальных триггеров позволяет в некоторых случаях упростить построение различных счетчиков.

Основным отличием **синхронных** триггеров от универсальных является то, что изменение состояния синхронных триггеров может происходить только по спаду импульсов на входе С или по поступлению сигналов сброса и установки на асинхронные входы R и S.

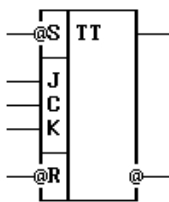
Если во время действия высокого уровня на входе С триггер находится в нулевом состоянии и на входе J появляется (хотя бы кратковременно) единица, то после спада сигнала на входе С триггер переключится в состояние 1, причем это произойдет независимо от состояний сигналов на входах J и K в момент спада сигнала на входе С. Аналогично, если во время действия высокого уровня на входе С триггер находится в состоянии 1 и на входе К появляется (хотя бы кратковременно) единица, то по спаду сигнала на входе С триггер переключится в состояние 0, т.е. триггер запоминает импульсы, приходящие на входы J и К.

Определить разновидность триггера можно по его принципиальной схеме. Если вход С образован соединением двух входов, каждый из которых эквивалентен входам J и К, то это - универсальный триггер. Если для получения входа С используются еще и другие цепи триггера, то триггер синхронный.

Схема "синхронного" JK-триггера:



JK-триггер с цепями сброса и установки:



РЕГИСТРЫ

Электронную схему, выполняющую операции над одним машинным словом, называют узлом ЭВМ.

Регистр - это узел ЭВМ, который состоит из системы запоминающих элементов и управляющей этой системой логической схемы и предназначен для выполнения следующих операций:

- 1) сброс регистра в ноль;
- 2) прием n-разрядного кода числа из другого узла ЭВМ;
- 3) передача кода числа в другой узел;
- 4) хранение кода числа;
- 5) преобразование прямого кода числа в обратный или дополнительный и наоборот;
- 6) сдвиг влево или вправо кода числа на требуемое число разрядов;
- 7) преобразование последовательного кода в параллельный и наоборот;
- 8) поразрядное логическое сложение двух чисел;
- 9) поразрядное логическое умножение двух чисел;
- 10) поразрядное сложение двух чисел по модулю 2.

Конкретные регистры обычно являются специализированными и реализуют лишь некоторые из перечисленных операций.

Классификация регистров

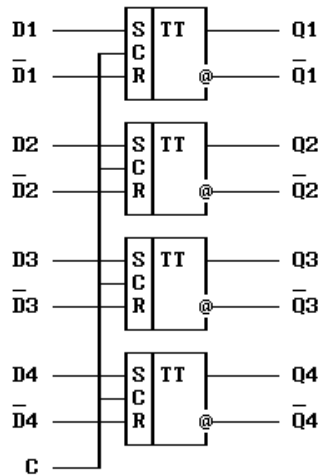
По возможности смещения информации различают сдвигающие регистры и регистры памяти (регистры без сдвига).

По количеству тактов управления, необходимых для записи информации, различают одноктактные регистры (с приемом информации в парафазном коде), двухтактные (со сбросом перед записью информации) и многотактные (сдвигающие) регистры.

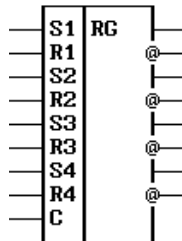
Сдвигающие регистры классифицируются по способу приема и передачи информации:

- а) последовательные (прием и передача кода слова производятся последовательно, разряд за разрядом);
- б) параллельные (с одновременным приемом или передачей кодов всех разрядов слова);
- в) последовательно параллельные (прием и передача слова производятся группами по несколько разрядов, например, байтами).

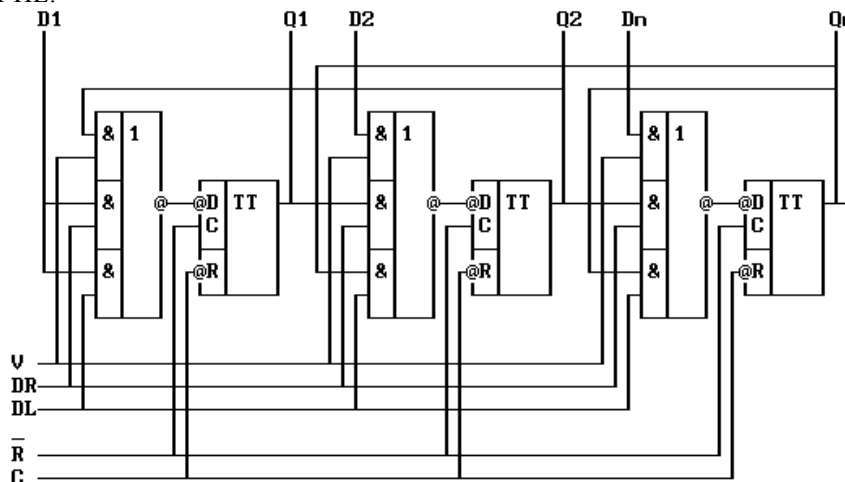
Рассмотрим в качестве примера структуру четырехразрядного запоминающего регистра, работающего в парафазном коде:



На принципиальной схеме данный регистр изображается следующим образом:



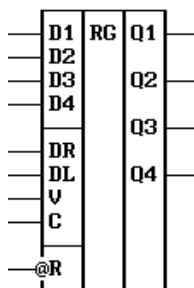
Регистры сдвига строятся на базе двухтактных триггеров RS, D или JK. Рассмотрим в качестве примера реверсивный сдвигающий регистр, построенный на базе D-триггеров с коммутаторами на базе логических элементов И-ИЛИ-НЕ:



Обозначения:

- D_1 - D_n - информационные входы;
- Q_1 - Q_n - информационные выходы;
- C - вход синхронизации;
- R - вход сброса;
- V - разрешение записи информации (параллельного кода);
- DR - сдвиг вправо;
- DL - сдвиг влево;

На принципиальной схеме данный регистр изображается следующим образом:



2.4. СЧЕТЧИКИ

Счетчиком называется схема, выполняющая функции подсчета количества единичных сигналов, поступивших на ее вход, а также функции формирования и запоминания некоторого кода, соответствующего этому количеству. Счетчики также иногда могут выполнять функции приема и выдачи кода.

Схемы счетчиков можно классифицировать по следующим признакам:

1) Основание системы счисления. В вычислительных системах используются двоичные и десятичные счетчики. Двоичные счетчики в свою очередь подразделяются на счетчики с модулем пересчета, равным 2^n , и модулем пересчета, не равным 2^n , где n - разрядность счетчика.

2) Направление переходов счетчика. Счетчики принято разделять на простые (суммирующие или вычитающие), которые могут вести счет только в одном направлении, то есть только прибавлять или вычитать входные сигналы, и реверсивные, которые в зависимости от управляющих сигналов могут вести счет в прямом или обратном направлениях.

3) Способ построения цепей переноса. Различают счетчики с последовательным, сквозным, параллельным и групповым переносом.

4) Способ организации счета. Счетчики могут быть асинхронными и синхронными. В асинхронных счетчиках изменение состояния счетчика осуществляется с поступлением информации только на вход первого каскада. В синхронных счетчиках информационный сигнал поступает одновременно на синхронные входы всех разрядов.

5) Тип элементов, используемых для построения счетчика. Различают счетчики на импульсных, импульсно-потенциальных и потенциальных элементах.

6) Тип организации счетного элемента. Счетчики могут быть построены на триггерах со счетным входом и на запоминающих элементах с использованием логических суммирующих схем.

Особую группу составляют счетчики, работающие по принципу циклического сдвигающего регистра (кольцевые счетчики). Эти счетчики отличаются низкой устойчивостью к помехам и сбоям и в ЭВМ практически не применяются.

Двоичные счетчики

Схемы счетчиков могут быть построены на базе триггеров. Число триггеров, необходимых для построения счетчика, определяется по формуле:

$$n = \text{ceil}(\log_2 k)$$

где k - коэффициент (модуль) пересчета - максимальное число внутренних состояний, которое может иметь счетчик, ceil - функция округления сверху до целого числа.

Одной из важных характеристик является быстродействие, которое в значительной мере определяется построением цепей переноса. Быстродействие характеризуется **временем установления кода** на выходе счетчика $T_{\text{уст}}$, то есть интервалом времени между моментом поступления входного импульса и моментом окончания самого длительного переходного процесса в счетчике.

Если не приняты никакие меры к ускорению переносов, то $T_{\text{уст}}$ счетчика определяется временем срабатывания триггеров счетчика $t_{\text{тр}}$ и числом разрядов счетчика n :

$$T_{\text{уст}} = t_{\text{тр}} \cdot n$$

Введение цепи сквозного переноса позволяет сократить время установления кода до величины

$$T'_{\text{уст}} = (n-1) \cdot t_{\&} + t_{\text{тр}}$$

где $t_{\&}$ - время срабатывания схемы И в цепи сквозного переноса.

Дальнейшее повышение быстродействия счетчиков достигается использованием цепей параллельного переноса ($T''_{\text{уст}} = t_{\text{тр}}$) и группового переноса. В случае использования группового переноса учитывается время распространения сигнала между m группами, входящими в состав счетчика:

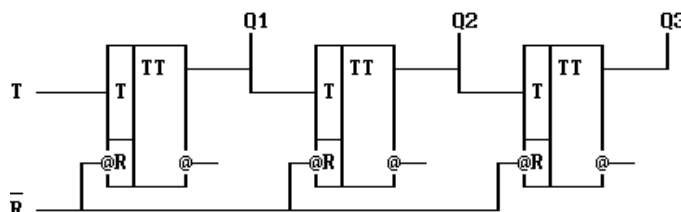
$$T'''_{\text{уст}} = m t_{\&} + t_{\text{тр}}$$

Разрешающая способность счетчика определяется минимальным временем $t_{\text{р}}$ между двумя счетными импульсами, при котором счетчик работает надежно. Максимальная частота поступления счетных импульсов $f_{\text{сч}}$ в общем случае определяется как

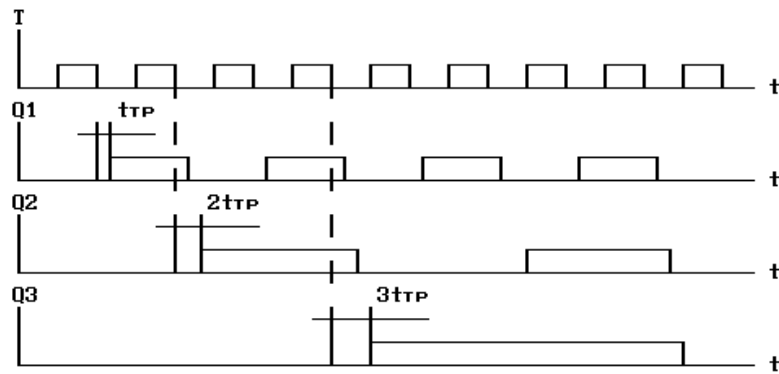
$$f_{\text{сч}} = 1/t_{\text{р}}$$

Асинхронные счетчики

Простейшие схемы двоичных счетчиков выполняются путем последовательного соединения триггеров со счетными входами. Т-триггер является счетчиком с $K=2$. Для построения счетчика с $K = 2^n$ требуется n таких триггеров. Рассмотрим в качестве примера схему асинхронного двоичного счетчика с последовательным переносом:



Временная диаграмма работы счетчика будет иметь следующий вид:

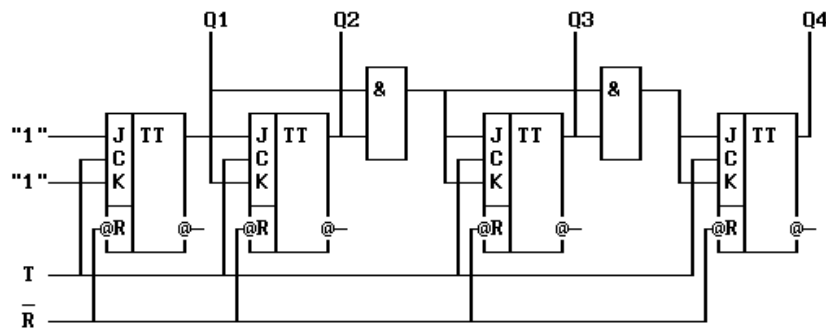


Основным недостатком счетчиков с последовательным переносом является низкое быстродействие.

Синхронные счетчики со сквозным, параллельным и групповым переносом

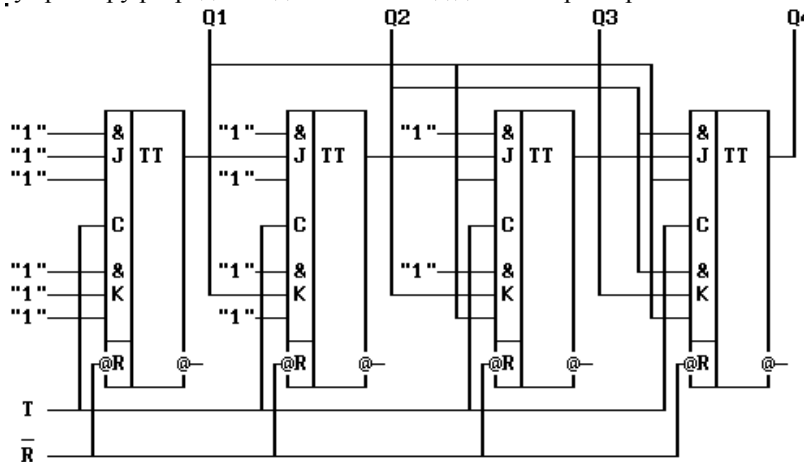
Быстродействие счетных схем можно повысить благодаря специальной организации цепей переноса и подаче счетных импульсов на все разряды счетчика одновременно. Как правило, в таких схемах счетные импульсы выполняют роль импульсов синхронизации, поэтому рассматриваемые далее счетчики относятся к классу синхронных.

В схеме **со сквозным переносом** переключение каждого i -го разряда JK-триггера возможно в том случае, если на его информационных входах J и K присутствует 1. В противном случае i -й триггер находится в режиме запоминания.



На входы J и K младшего разряда счетчика подана константа "1", поэтому он постоянно работает в режиме асинхронного T-триггера, то есть изменяет свое состояние на противоположное под воздействием каждого счетного импульса. Изменение состояния старших разрядов счетчика возможно только в том случае, если все предшествующие триггеры младших разрядов находятся в единичном состоянии.

Отличительной особенностью схемы счетчика с **параллельным переносом** является то, что выходы всех предшествующих i -му триггеру разрядов подаются на вход данного триггера.



Для построения данного счетчика использовались многовходовые JK-триггеры. Из схемы видно, что с возрастанием порядкового номера триггера увеличивается число входов J и K, необходимых для организации схемы. Так как число входов триггера и его нагрузочная способность ограничены, то разрядность счетчика с параллельным переносом обычно не превышает четырех. При построении счетчиков большей разрядности разряды счетчика разбивают на группы по четыре триггера, и внутри каждой группы строят цепи параллельного переноса. Перенос между группами организуется, например, методом сквозного переноса. Такой способ образования сигналов переноса называется **групповым**.

Счетчики с $K \neq 2^n$

Для многих электронных устройств необходимы счетчики с модулем пересчета, отличным от целой степени двойки. Для электронных часов, например, могут потребоваться счетчики с коэффициентами пересчета 3,6,7,10,24 и т.д. В ЭВМ счетчики применяются для задания сетки тактовых частот машины.

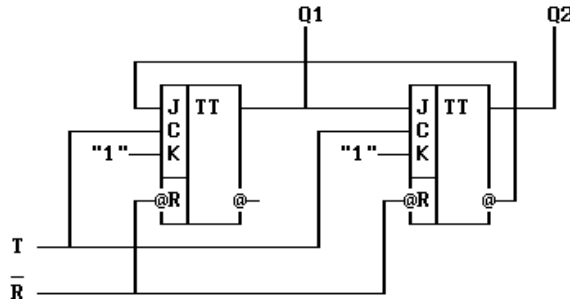
Принцип построения счетчиков с $K \neq 2^n$ заключается в исключении лишних устойчивых состояний у двоичного счетчика с $K = 2^n$.

Для реализации данного принципа используются следующие основные методы:

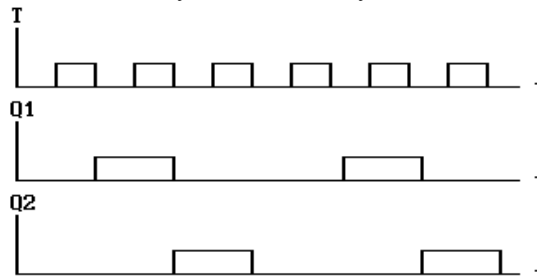
- 1) метод блокирования переноса;
- 2) принудительный порядок счета;
- 3) начальная установка кода.

Идея способа **блокирования переноса** заключается в том, что при подаче импульса с номером, несколько меньшим коэффициента пересчета, блокируется поступление счетных импульсов в разряды, находящиеся в нулевом состоянии, а последующие импульсы обнуляют триггеры, оставшиеся в единичном состоянии, так, что с приходом K -го импульса все триггеры счетчика оказываются в нулевом состоянии.

Рассмотрим в качестве примера троичный счетчик:



Временная диаграмма работы счетчика будет иметь следующий вид:



В счетчиках с **принудительным порядком счета** исключение запрещенных состояний достигается за счет принудительной установки отдельных разрядов в состояние 1 в процессе счета. Для этого в схему счетчика вводятся обратные связи.

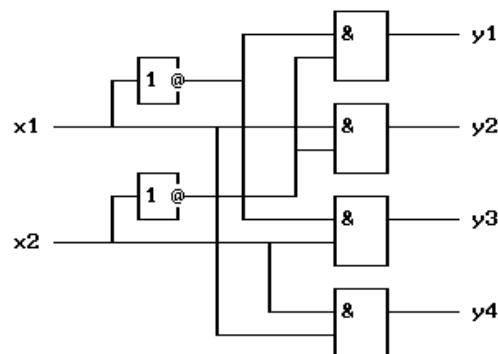
В счетчике с **начальной установкой кода** необходимое число запрещенных состояний устанавливается перед началом счета по сигналу "Начальная установка кода".

2.5. ДЕШИФРАТОРЫ И МУЛЬТИПЛЕКСОРЫ

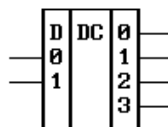
Дешифратором называется комбинационная схема с несколькими входами и выходами, преобразующая код, подаваемый на входы, в сигнал на одном из выходов.

В общем случае дешифратор с n входами имеет 2^n выходов, так как n -разрядный код входного слова может принимать 2^n различных значений.

Рассмотрим в качестве примера следующую схему:

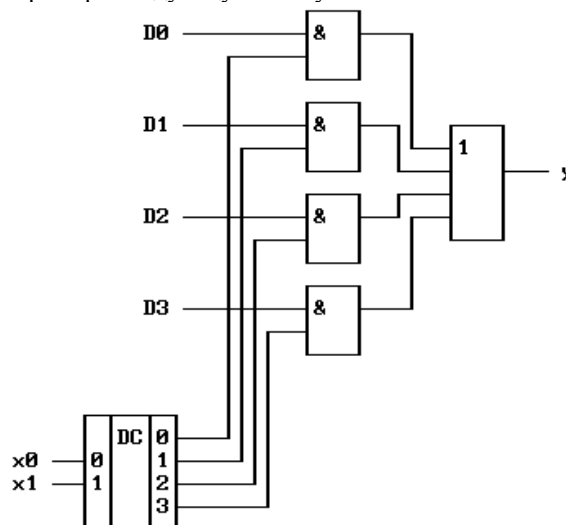


Условное обозначение дешифратора:

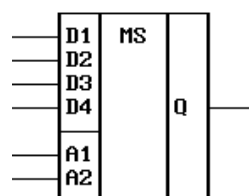


Мультиплексором называется схема, осуществляющая передачу сигналов с одной из входных линий на выходную. Выбор входной (информационной) линии производится с помощью кода, подаваемого на управляющие входы мультиплексора. Мультиплексор с k управляющими входами имеет 2^k информационными входами.

Рассмотрим в качестве примера следующую схему:



Условное обозначение мультиплексора:



3. ПРОЦЕССОРЫ И МИКРОПРОЦЕССОРЫ

3.1 ОСНОВНЫЕ ПРИНЦИПЫ ПОСТРОЕНИЯ УСТРОЙСТВ ОБРАБОТКИ ЦИФРОВОЙ ИНФОРМАЦИИ

Согласно **принципа академика В.М. Глушкова** «В любом устройстве обработки цифровой информации можно выделить операционный и управляющий блоки.» Такой подход упрощает проектирование, а также облегчает понимание процесса функционирования вычислительного устройства.

Операционный блок состоит из регистров, сумматоров и других узлов, производящих прием из внешней среды и хранение кодов, их преобразование и выдачу результатов работы во внешнюю среду, а также выдачу в управляющий блок и внешнюю среду оповещающих сигналов.

Процесс функционирования во времени устройства обработки состоит из последовательности тактовых интервалов, в которых операционный блок производит элементарные преобразования кодов (передачу кода из одного регистра в другой, взятие обратного кода, сдвиг и т.д.).

Элементарная функциональная операция, выполняемая за один тактовый интервал и приводимая в действие одним управляющим сигналом называется микрооперацией.

Управляющий блок вырабатывает распределенную во времени последовательность управляющих сигналов, порождающих в операционном блоке нужную последовательность микроопераций.

Последовательность управляющих сигналов (микрокоманд) определяется кодом операции, поступающим извне, состоянием операндов и промежуточными результатами преобразований.

Существует два основных типа управляющих автоматов:

- 1) Управляющий автомат с жесткой логикой.

Для каждой операции, задаваемой кодом операции команды, строится набор комбинационных схем, которые в нужных тактах возбуждают соответствующие управляющие сигналы.

- 2) Управляющий автомат с хранимой в памяти логикой.

Каждой выполняемой в операционном устройстве операции ставится в соответствие совокупность хранимых в памяти слов - микрокоманд, содержащих информацию о микрооперациях, подлежащих выполнению в течение одного машинного такта, и указание, какая микрокоманда должна выполняться следующей.

Последовательность микрокоманд, обеспечивающая выполнение некоторой операции (например, умножения), называется микропрограммой данной операции.

Функционирование вычислительного устройства может быть описано совокупностью реализуемых в нем микропрограмм, что является одним из способов описания цифровых устройств.

3.2. ПРИНЦИПЫ ОРГАНИЗАЦИИ АРИФМЕТИКО-ЛОГИЧЕСКИХ УСТРОЙСТВ

Арифметико-логические устройства (АЛУ) служат для выполнения арифметических и логических преобразований над словами, называемыми в этом случае операндами. АЛУ служит основной частью операционного блока ЭВМ.

Выполняемые АЛУ операции можно разделить на следующие группы:

- операции двоичной арифметики для чисел с фиксированной запятой;
- операции двоичной арифметики для чисел с плавающей запятой;
- операции десятичной арифметики;
- операции индексной арифметики;
- операции специальной арифметики;
- операции над логическими кодами;
- операции над алфавитно-цифровыми полями.

Современные ЭВМ общего назначения обычно реализуют операции всех приведенных выше групп, а малые и микроЭВМ зачастую не имеют аппаратуры арифметики чисел с плавающей запятой, десятичной арифметики и операций над алфавитно-цифровыми полями. В этом случае недостающие операции реализуются специальными программами.

К арифметическим операциям относятся сложение, вычитание, взятие модулей ("короткие операции"), и умножение и деление ("длинные операции").

Группу логических операций составляют операции дизъюнкция (логическое ИЛИ) и конъюнкция (логическое И) над многоразрядными двоичными словами, а также операция сравнения кодов на равенство.

Специальные арифметические операции включают в себя нормализацию, арифметический сдвиг (сдвигаются только цифровые разряды, а знаковый остается на месте), логический сдвиг (знаковый разряд сдвигается вместе с цифровыми).

Классификация АЛУ

По способу действия над операндами АЛУ делятся на *последовательные* и *параллельные*. В *последовательных* АЛУ операнды представляются в последовательном коде, а операции производятся последовательно во времени над их отдельными разрядами. В *параллельных* АЛУ операнды представляются параллельным кодом и операции совершаются параллельно во времени над всеми разрядами операндов.

По способу представления чисел различают АЛУ:

- 1) для чисел с фиксированной запятой;
- 2) для чисел с плавающей запятой;
- 3) для десятичных чисел.

По характеру использования элементов и узлов АЛУ делятся на *блочные* и *многофункциональные*. В блочном АЛУ операции над числами с фиксированной и плавающей запятой, десятичными числами и алфавитно-цифровыми полями выполняются в отдельных блоках, при этом повышается скорость работы, так как блоки могут параллельно выполнять соответствующие операции, но значительно возрастают затраты оборудования. В многофункциональных АЛУ операции для всех форм представления чисел выполняются одними и теми же схемами, которые коммутируются нужным образом в зависимости от требуемого режима работы.

3.3. СТРУКТУРА И ФОРМАТ КОМАНД. КОДИРОВАНИЕ КОМАНД.

Все возможные преобразования дискретной информации могут быть сведены к четырем основным видам:

- 1) передача информации в пространстве;
- 2) хранение информации;
- 3) логические операции;
- 4) арифметические операции.

ЭВМ выполняет все указанные виды преобразований.

Обработка информации в ЭВМ осуществляется автоматически путем программного управления. Программа представляет собой алгоритм обработки информации, записанный в виде последовательности команд, которые должны быть выполнены машиной для получения решения задачи.

Команда представляет собой код, определяющий операцию вычислительной машины и данные, участвующие в операции. Команда содержит также в явной или неявной форме информацию об адресе, по которому помещается результат операции, и об адресе следующей команды.

Процесс выполнения программы состоит из отдельных машинных операций. В данном случае под операцией понимается преобразование информации, выполняемое машиной под воздействием одной команды. Содержанием машинной операции могут быть запоминание в памяти, передача, арифметическое или логическое преобразование машинных слов, а также некоторые вспомогательные процедуры.

По характеру выполняемых операций различают следующие основные группы команд:

- 1) команды арифметических операций для чисел с фиксированной и плавающей запятой;
- 2) команды десятичной арифметики;
- 3) команды логических операций;
- 4) команды передачи кодов;
- 5) команды ввода-вывода;
- 6) команды передачи управления;
- 7) команды задания режима работы машины.

В команде, как правило, содержатся не сами операнды, а информация об адресах ячеек памяти или регистрах, в которых они находятся.

Код команды можно представить состоящим из нескольких частей или полей, имеющих определенное функциональное назначение при кодировании командной информации. Команда в общем случае состоит из операционной и адресной частей. В свою очередь, эти части могут состоять из нескольких полей.

Операционная часть содержит код операции, который задает вид операции. Адресная часть команды содержит информацию об адресах операндов и результата операции, в некоторых случаях информацию об адресе следующей команды.

Структура команды определяется составом, назначением и расположением полей в команде. Форматом команды называют ее структуру с разметкой номеров разрядов (бит), определяющих границы отдельных полей команды, или с указанием числа бит в определенных полях.

3.4. СПОСОБЫ АДРЕСАЦИИ

Адресный код - это информация об адресе операнда, содержащаяся в команде.

Исполнительный адрес - это номер ячейки памяти, к которой производится фактическое обращение.

В современных ЭВМ адресный код, как правило, не совпадает с исполнительным адресом.

Выбор способов адресации, формирования исполнительного адреса и преобразования адресов является одним из важнейших вопросов разработки ЭВМ. Способы адресации, используемые в современных ЭВМ:

1) **Подразумеваемый операнд.**

В команде может не содержаться явных указаний об операнде; в этом случае операнд подразумевается и фактически задается кодом операции команды.

2) **Подразумеваемый адрес.**

В команде может не содержаться явных указаний об адресе участвующего в операции операнда или адресе, по которому должен быть размещен результат операции, но этот адрес подразумевается.

3) **Непосредственная адресация.**

В команде содержится не адрес операнда, а непосредственно сам операнд. При этом не требуется обращения к памяти для выборки операнда и ячейки памяти для его хранения. Это способствует уменьшению времени выполнения программы и занимаемого ею объема памяти. Непосредственная адресация удобна для хранения различного рода констант.

4) **Прямая адресация.**

В адресной части команды может быть непосредственно указан исполнительный адрес.

5) **Относительная (базовая) адресация.**

При этом способе адресации исполнительный адрес определяется как сумма адресного кода команды и базового адреса, как правило хранящегося в специальном регистре - регистре базы.

Относительная адресация позволяет при меньшей длине адресного кода команды обеспечить доступ к любой ячейке памяти. Для этого число разрядов в базовом регистре выбирают таким, чтобы можно было адресовать любую ячейку оперативной памяти, а адресный код команды используют для представления лишь сравнительно короткого "смещения". Смещение определяет положение операнда относительно начала массива, задаваемого базовым адресом.

6) **Укороченная адресация.**

Для уменьшения длины кода команды часто применяется так называемая укороченная адресация. Суть ее сводится к тому, что в команде задаются только младшие разряды адресов, а старшие разряды при этом подразумеваются нулевыми. Такая адресация позволяет использовать только небольшую часть фиксированных ячеек в начале всей адресуемой области памяти, и поэтому применяется лишь совместно с другими способами адресации.

Регистровая адресация является частным случаем укороченной, когда в качестве фиксированных ячеек с короткими адресами используются регистры (ячейки сверхоперативной или местной памяти) процессора. Например, если таких регистров 16, то для адреса достаточно четырех двоичных разрядов. Регистровая адресация наряду с сокращением длины адресов операндов позволяет увеличить скорость выполнения операций, так как уменьшается число обращений к оперативной памяти.

7) **Косвенная адресация.**

Адресный код команды в этом случае указывает адрес ячейки памяти, в которой находится адрес операнда или команды. Косвенная адресация широко используется в малых и микроЭВМ, имеющих короткое машинное

слово, для преодоления ограничений короткого формата команды (совместно используются регистровая и косвенная адресация).

8) Адресация слов переменной длины.

Эффективность вычислительных систем, предназначенных для обработки данных, повышается, если имеется возможность выполнять операции со словами переменной длины. В этом случае в машине может быть предусмотрена адресация слов переменной длины, которая обычно реализуется путем указания в команде местоположения в памяти начала слова и его длины.

9) Стековая адресация.

Стековая память, реализующая безадресное задание операндов, особенно широко используется в микропроцессорах и мини-ЭВМ.

Стек представляет собой группу последовательно пронумерованных регистров или ячеек памяти, снабженных указателем стека, в котором автоматически при записи и считывании устанавливается номер (адрес) последней занятой ячейки стека (вершины стека). При операции записи заносимое в стек слово помещается в следующую по порядку свободную ячейку стека, а при считывании из стека извлекается последнее поступившее в него слово.

10) Автоинкрементная и автодекрементная адресации.

Поскольку регистровая косвенная адресация требует предварительной загрузки регистра косвенным адресом из оперативной памяти, что связано с потерей времени, такой тип адресации особенно эффективен при обработке массива данных, если имеется механизм автоматического приращения или уменьшения содержимого регистра при каждом обращении к нему. Такой механизм называется соответственно автоинкрементной и автодекрементной адресацией. В этом случае достаточно один раз загрузить в регистр адрес первого обрабатываемого элемента массива, а затем при каждом обращении к регистру в нем будет формироваться адрес следующего элемента массива.

При автоинкрементной адресации сначала содержимое регистра используется как адрес операнда, а затем получает приращение, равное числу байт в элементе массива. При автодекрементной адресации сначала содержимое указанного в команде регистра уменьшается на число байт в элементе массива, а затем используется как адрес операнда.

Автоинкрементная и автодекрементная адресации могут рассматриваться как упрощенный вариант индексации.

11) Индексация.

Для реализуемых на ЭВМ методов решения математических задач и обработки данных характерна цикличность вычислительных процессов, когда одни и те же процедуры выполняются над различными операндами, упорядоченно расположенными в памяти. Поскольку операнды, обрабатываемые при повторениях цикла, имеют разные адреса, без использования индексации требовалось бы для каждого повторения составлять свою последовательность команд, отличающихся адресными частями.

Программирование циклов существенно упрощается, если после каждого выполнения цикла обеспечено автоматическое изменение в соответствующих командах их адресных частей согласно расположению в памяти обрабатываемых операндов. Такой процесс называется модификацией команд, и основан на возможности выполнения над кодами команд арифметических и логических операций.

Управление вычислительным циклом должно обеспечивать повторение цикла нужное число раз, а затем выход из него.

Автоматическая модификация команд и управление вычислительными циклами в современных ЭВМ обеспечиваются механизмом индексации.

Для выполнения индексации в машину вводятся так называемые индексные регистры. Исполнительный адрес при индексации формируется путем сложения адресного кода команды (смещения) с содержимым индексного регистра (индексом), а при наличии базирования - и с базовым адресом.

Для управления индексацией используются команды, задающие операции над содержимым индексных регистров - команды индексной арифметики. Основные виды индексных операций:

- засылка в соответствующий индексный регистр начального значения индекса;
- изменение индекса;
- проверка окончания циклических вычислений.

4.3. Лабораторные работы

<i>№ п/п</i>	<i>Номер раздела дисциплины</i>	<i>Наименование лабораторной работы</i>	<i>Объем (час.)</i>	<i>Вид занятия в интерактивной, активной, инновационной формах, (час.)</i>
1	1.	Изучение способов задания логических уровней, сигналов и их индикации.	4	Работа в малых группах (4 часа)
2	2.	Изучение основных и базовых логических элементов.	6	Работа в малых группах (6 часов)
3	2.	Изучение мультиплексоров.	6	Работа в малых группах (6 часов)
4	2.	Изучение дешифраторов	6	Работа в малых группах (6 часов)
5	2.	Изучение асинхронных и синхронных двухтактных триггеров.	6	Работа в малых группах (6 часов)
6	2.	Изучение асинхронного и синхронного реверсивного счетчика.	6	Работа в малых группах (6 часов)
ИТОГО			34	17

4.4. Практические занятия

<i>№ п/п</i>	<i>Номер раздела дисциплины</i>	<i>Наименование практической работы</i>	<i>Объем (час.)</i>	<i>Вид занятия в интерактивной, активной, инновационной формах, (час.)</i>
1	1.	Реализация логических схем на базе логических элементов.	3	-
2	2.	Реализация логических схем на базе дешифратора.	3	-
3	1.	Преобразование логического выражения в логическую функцию.	3	-
4	2.	Реализация логической функции на базе мультиплексора.	4	-
5	2.	Реализация на четырехразрядном счетчике делителя частоты.	4	-
ИТОГО			17	-

5. МАТРИЦА СООТНЕСЕНИЯ РАЗДЕЛОВ УЧЕБНОЙ ДИСЦИПЛИНЫ К ФОРМИРУЕМЫМ В НИХ КОМПЕТЕНЦИЯМ И ОЦЕНКЕ РЕЗУЛЬТАТОВ ОСВОЕНИЯ ДИСЦИПЛИНЫ

<i>№, наименование разделов дисциплины</i>	<i>Компетенции</i>	<i>Кол-во часов</i>	<i>Компетенции</i>		<i>Σ комп.</i>	<i>t_{ср}, час</i>	<i>Вид учебных занятий</i>	<i>Оценка результатов</i>
			<i>ОПК</i>					
			<i>1</i>	<i>2</i>				
1	2	3	4	5	6	7	8	
1. Теоретические основы построения узлов ЭВМ		30	+	+	2	15	ЛК, ЛР, ПЗ, СРС	ЭКЗАМЕН
2. Элементы и узлы ЭВМ		66	+	+	2	33	ЛК, ЛР, ПЗ, СРС	ЭКЗАМЕН
3. Процессоры и микропроцессоры		12	+	+	2	6	ЛК, СРС	ЭКЗАМЕН
<i>всего часов</i>		144	72	72	2	72		

6. ПЕРЕЧЕНЬ УЧЕБНО-МЕТОДИЧЕСКОГО ОБЕСПЕЧЕНИЯ ДЛЯ САМОСТОЯТЕЛЬНОЙ РАБОТЫ ОБУЧАЮЩИХСЯ ПО ДИСЦИПЛИНЕ

- Советов, Б. Я. Информационные технологии : учебник / Б. Я. Советов, В. В. Цехановский. - 6-е изд. - М. : Юрайт, 2012. - 263 с.
- Михеева, Е. В. Информационные технологии в профессиональной деятельности : учебное пособие / Е. В. Михеева. - М. : Проспект, 2010. - 448 с.
- Карцев, М. А. Арифметика цифровых машин : научное издание / М. А. Карцев. - М. : Наука, 1969. - 576 с. - Б. ц.

7. ПЕРЕЧЕНЬ ОСНОВНОЙ И ДОПОЛНИТЕЛЬНОЙ ЛИТЕРАТУРЫ, НЕОБХОДИМОЙ ДЛЯ ОСВОЕНИЯ ДИСЦИПЛИНЫ

№	Наименование издания	Вид занятия (Лк, ЛР, ПЗ)	Количество экземпляров в библиотеке, шт.	Обеспеченность, (экз./чел.)
1	2	3	4	5
Основная литература				
1.	Мелехин, В. Ф. Вычислительные машины, системы и сети : учебник / В. Ф. Мелехин, Е. Г. Павловский. - 3-е изд., стереотип. - Москва : Академия, 2010. - 560 с.	Лк, ЛР, ПЗ	26	1
2.	Максимов, Н. В. Современные информационные технологии : учебное пособие / Н. В. Максимов, Т. Л. Партыка, И. И. Попов. - М. : ФОРУМ, 2011. - 512 с.	Лк, ЛР, ПЗ	40	1
3.	Куль, Т.П. Основы вычислительной техники : учебное пособие / Т.П. Куль. - Минск : РИПО, 2018. - 244 с. : ил., табл., схем. - Библиогр.: с. 227-228 - ISBN 978-985-503-812-3 ; То же [Электронный ресурс]. - URL: http://biblioclub.ru/index.php?page=book&id=497477	ЛК	ЭР	1
Дополнительная литература				
4.	Советов, Б. Я. Информационные технологии : учебник для вузов / Б. Я. Советов, В. В. Цехановский. - 4-е изд., стереотип. - Москва : Высшая школа, 2008. - 263 с.	Лк, ПЗ, ЛР	25	1

8. ПЕРЕЧЕНЬ РЕСУРСОВ ИНФОРМАЦИОННО-ТЕЛЕКОММУНИКАЦИОННОЙ СЕТИ «ИНТЕРНЕТ» НЕОБХОДИМЫХ ДЛЯ ОСВОЕНИЯ ДИСЦИПЛИНЫ

1. Электронный каталог библиотеки БрГУ http://irbis.brstu.ru/CGI/irbis64r_15/cgiirbis_64.exe?LNG=&C21COM=F&I21DBN=BOOK&P21DBN=BOOK&S21CNR=&Z21ID=.
2. Электронная библиотека БрГУ <http://ecat.brstu.ru/catalog>.
3. Электронно-библиотечная система «Университетская библиотека online» <http://biblioclub.ru>.
4. Электронно-библиотечная система «Издательство «Лань» <http://e.lanbook.com>.
5. Информационная система "Единое окно доступа к образовательным ресурсам" <http://window.edu.ru>.
6. Научная электронная библиотека eLIBRARY.RU <http://elibrary.ru>.
7. Университетская информационная система РОССИЯ (УИС РОССИЯ) <https://uisrussia.msu.ru/>.
8. Национальная электронная библиотека НЭБ <http://xn--90ax2c.xn--p1ai/how-to-search/>.

9. МЕТОДИЧЕСКИЕ УКАЗАНИЯ ДЛЯ ОБУЧАЮЩИХСЯ ПО ОСВОЕНИЮ ДИСЦИПЛИНЫ

9.1. Методические указания для обучающихся по выполнению лабораторных работ/практическим работам

Лабораторная работа №1

Изучение способов задания логических уровней, сигналов и их индикации.

Цель работы:

Изучение способов задания логических элементов сигналов и их индикации.

Задание:

1. Изучить теоретический материал достаточный для выполнения лабораторной работы.
2. Собрать схему лабораторного стенда.
3. Изучить способы задания логических сигналов и их индикацию.

Порядок выполнения:

1. Изучить теоретические основы
2. Подготовить установку в работе
3. Произвести замеры напряжения
4. Полученные данные занести в таблицу

Форма отчетности:

Отчет сдается в печатном виде. В отчете должны присутствовать:

1. Цель работы
2. Задание
3. Поэтапное выполнение всех заданий варианта
4. Заключение.

Задания для самостоятельной работы:

Изучить теоретические данные по теме лабораторной работы.

Рекомендации по выполнению заданий и подготовке к лабораторной работе

Ознакомиться с теоретическим материалом, представленным в первом разделе данной дисциплины.

Основная литература

1. Мелехин, В. Ф. Вычислительные машины, системы и сети : учебник / В. Ф. Мелехин, Е. Г. Павловский. - 3-е изд., стереотип. - Москва : Академия, 2010. - 560 с
2. Максимов, Н. В. Современные информационные технологии : учебное пособие / Н. В. Максимов, Т. Л. Партыка, И. И. Попов. - М. : ФОРУМ, 2011. - 512 с.

Дополнительная литература

1. Михеева, Е. В. Информационные технологии в профессиональной деятельности : учебное пособие / Е. В. Михеева. - М. : Проспект, 2010. - 448 с.

Контрольные вопросы для самопроверки

1. Дать определение логической переменной и логическому сигналу. Какие значения они могут принимать?.
2. Что общего и каковы различия потенциального и импульсного способов представления логического нуля и логической единицы.

Лабораторная работа №2

Изучение основных и базовых логических элементов

Цель работы:

Изучение базовых логических элементов и статических параметров базовых элементов.

Задание:

1. Изучить теоретический материал достаточный для выполнения лабораторной работы.
2. Определить статические параметры логических элементов.

Порядок выполнения:

1. Изучить теоретические основы
2. Собрать схему лабораторного стенда для исследования базовых логических элементов.
3. Снять статические характеристики базовых логических элементов.
4. Определить таблицы состояний входов и выходов собранной схемы.

Форма отчетности:

Отчет сдается в печатном виде. В отчете должны присутствовать:

1. Цель работы
2. Задание
3. Поэтапное выполнение всех заданий варианта
4. Заключение.

Задания для самостоятельной работы:

Изучить теоретические данные по теме лабораторной работы.

Рекомендации по выполнению заданий и подготовке к лабораторной работе

Ознакомиться с теоретическим материалом, представленным в первом разделе данной дисциплины.

Основная литература

1. Мелехин, В. Ф. Вычислительные машины, системы и сети : учебник / В. Ф. Мелехин, Е. Г. Павловский. - 3-е изд., стереотип. - Москва : Академия, 2010. - 560 с
2. Максимов, Н. В. Современные информационные технологии : учебное пособие / Н. В. Максимов, Т. Л. Партыка, И. И. Попов. - М. : ФОРУМ, 2011. - 512 с.

Дополнительная литература

1. Михеева, Е. В. Информационные технологии в профессиональной деятельности : учебное пособие / Е. В. Михеева. - М. : Проспект, 2010. - 448 с.

Контрольные вопросы для самопроверки

1. Что такое таблица истинности?
2. Какие логические элементы являются базовыми?
3. Назвать основные операции булевой алгебры.
4. Приведите УГО базовых логических элементов.

Лабораторная работа №3

Изучение мультиплексоров

Цель работы:

Изучение работы мультиплексоров R531КП2, K155КП7.

Задание:

1. Изучить работу мультиплексоров.
2. Экспериментально проверить таблицы истинности.

Порядок выполнения:

1. Изучить теоретические основы
2. Подготовить установку в работе
3. Снять и зафиксировать таблицы истинности исследуемых устройств.

Форма отчетности:

Отчет сдается в печатном виде. В отчете должны присутствовать:

1. Цель работы
2. Задание
3. Поэтапное выполнение всех заданий варианта
4. Заключение.

Задания для самостоятельной работы:

Изучить теоретические данные по теме лабораторной работы.

Рекомендации по выполнению заданий и подготовке к лабораторной работе

Ознакомиться с теоретическим материалом, представленным во втором разделе данной дисциплины.

Основная литература

1. Мелехин, В. Ф. Вычислительные машины, системы и сети : учебник / В. Ф. Мелехин, Е. Г. Павловский. - 3-е изд., стереотип. - Москва : Академия, 2010. - 560 с
2. Максимов, Н. В. Современные информационные технологии : учебное пособие / Н. В. Максимов, Т. Л. Партыка, И. И. Попов. - М. : ФОРУМ, 2011. - 512 с.

Дополнительная литература

1. Михеева, Е. В. Информационные технологии в профессиональной деятельности : учебное пособие / Е. В. Михеева. - М. : Проспект, 2010. - 448 с.

Контрольные вопросы для самопроверки

1. Дать определение мультиплексора.
2. Изобразить УГО исследуемых мультиплексоров.
3. Описать принцип работы каждого из изученных мультиплексоров.

Лабораторная работа №4

Изучение дешифраторов.

Цель работы:

Изучить работу дешифраторов 74LS145N, 74LS247N.

Задание:

1. Изучить принцип работы дешифраторов.
2. Экспериментально проверить таблицы истинности.

Порядок выполнения:

1. Изучить теоретические основы
2. Собрать схему лабораторного стенда
3. Снять и зафиксировать таблицы истинности исследуемых устройств.

Форма отчетности:

Отчет сдается в печатном виде. В отчете должны присутствовать:

1. Цель работы
2. Задание
3. Поэтапное выполнение всех заданий варианта
4. Заключение.

Задания для самостоятельной работы:

Изучить теоретические данные по теме лабораторной работы.

Рекомендации по выполнению заданий и подготовке к лабораторной работе

Ознакомиться с теоретическим материалом, представленным во втором разделе данной дисциплины.

Основная литература

1. Мелехин, В. Ф. Вычислительные машины, системы и сети : учебник / В. Ф. Мелехин, Е. Г. Павловский. - 3-е изд., стереотип. - Москва : Академия, 2010. - 560 с
2. Максимов, Н. В. Современные информационные технологии : учебное пособие / Н. В. Максимов, Т. Л. Партыка, И. И. Попов. - М. : ФОРУМ, 2011. - 512 с.

Дополнительная литература

1. Михеева, Е. В. Информационные технологии в профессиональной деятельности : учебное пособие / Е. В. Михеева. - М. : Проспект, 2010. - 448 с.

Контрольные вопросы для самопроверки

1. Дать определение дешифратора.
2. Изобразить УГО исследуемых дешифраторов.
3. Описать принцип работы каждого из рассмотренных дешифраторов.

Лабораторная работа №5

Изучение асинхронного, синхронных двухтактных триггеров.

Цель работы:

Изучить асинхронного, синхронных двухтактных триггеров

Задание:

1. Изучить принцип работы асинхронного, синхронных двухтактных триггеров
2. Проверка таблиц истинности.

Порядок выполнения:

1. Изучить теоретические основы
2. Собрать лабораторный стенд к работе
3. Снять и зафиксировать таблицы истинности для исследуемых устройств.

Форма отчетности:

Отчет сдается в печатном виде. В отчете должны присутствовать:

1. Цель работы
2. Задание
3. Поэтапное выполнение всех заданий варианта
4. Заключение.

Задания для самостоятельной работы:

Изучить теоретические данные по теме лабораторной работы.

Рекомендации по выполнению заданий и подготовке к лабораторной работе

Ознакомиться с теоретическим материалом, представленным во втором разделе данной дисциплины.

Основная литература

1. Мелехин, В. Ф. Вычислительные машины, системы и сети : учебник / В. Ф. Мелехин, Е. Г. Павловский. - 3-е изд., стереотип. - Москва : Академия, 2010. - 560 с
2. Максимов, Н. В. Современные информационные технологии : учебное пособие / Н. В. Максимов, Т. Л. Партыка, И. И. Попов. - М. : ФОРУМ, 2011. - 512 с.

Дополнительная литература

1. Михеева, Е. В. Информационные технологии в профессиональной деятельности : учебное пособие / Е. В. Михеева. - М. : Проспект, 2010. - 448 с.

Контрольные вопросы для самопроверки

1. Дать определение триггера.
2. Перечислите основные виды триггеров.
3. Чем отличаются асинхронные триггеры от синхронных
4. Что означает «запрещенная комбинация» для RS- триггера
5. Какую функцию выполняет D-триггер
6. . Какую функцию выполняет T-триггер

Лабораторная работа №6

Изучение асинхронного и синхронного реверсивного счетчиков.

Цель работы:

Изучить принцип работы асинхронного и синхронного реверсивного счетчиков

Задание:

1. Изучить принцип работы исследуемых устройств.
2. Проверка таблиц истинности.

Порядок выполнения:

1. Изучить теоретические основы
2. Собрать лабораторный стенд к работе
3. Снять и зафиксировать таблицы истинности для исследуемых устройств.

Форма отчетности:

Отчет сдается в печатном виде. В отчете должны присутствовать:

1. Цель работы
2. Задание
3. Поэтапное выполнение всех заданий варианта
4. Заключение.

Задания для самостоятельной работы:

Изучить теоретические данные по теме лабораторной работы.

Рекомендации по выполнению заданий и подготовке к лабораторной работе

Ознакомиться с теоретическим материалом, представленным во втором разделе данной дисциплины.

Основная литература

1. Мелехин, В. Ф. Вычислительные машины, системы и сети : учебник / В. Ф. Мелехин, Е. Г. Павловский. - 3-е изд., стереотип. - Москва : Академия, 2010. - 560 с
2. Максимов, Н. В. Современные информационные технологии : учебное пособие / Н. В. Максимов, Т. Л. Партыка, И. И. Попов. - М. : ФОРУМ, 2011. - 512 с.

Дополнительная литература

1. Михеева, Е. В. Информационные технологии в профессиональной деятельности : учебное пособие / Е. В. Михеева. - М. : Проспект, 2010. - 448 с.

Контрольные вопросы для самопроверки

1. К какому виду логических устройств относятся исследуемые устройства.
2. Называние основные параметры и признаки классификации счетчиков.
3. Опишите способы связи между разрядными схемами счетчиков. Чем они различаются между собой.
4. Каким образом достигается повышение быстродействия счетчиков?

Практическое занятие №1

Реализация логических схем на базе логических элементов.

Цель работы:

Приобрести навыки реализации логических схем на базе логических элементов.

Задание:

1. Реализовать логическую функцию, путем прямой замены логических выражений на логические элементы.
2. Минимизировать функцию из п. 1 методом непосредственных преобразований.
3. Построить логическую схему по минимизированной в п. 2 функции
4. Построить логическую схему по минимизированной в п. 2 функции, используя элементы И-НЕ.
5. Построить логическую схему по минимизированной в п. 2 функции, используя элементы И-ИЛИ-НЕ.

Порядок выполнения:

Изучить теоретические данные. Заменить логические выражения на логические элементы в уравнении полученном по варианту. Минимизировать функцию путем непосредственных преобразований, произвести проверку при помощи карты Карно. Построить логическую схему в базисе, И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ.

Форма отчетности:

Отчет сдается в печатном виде. В отчете должны присутствовать:

1. Цель работы
2. Задание
3. Поэтапное выполнение всех заданий варианта
4. Заключение.

Задания для самостоятельной работы:

Предусмотрены вариантом студента.

Рекомендации по выполнению заданий и подготовке к практическому занятию

Ознакомиться с теоретическим материалом, представленным в первом разделе данной дисциплины.

Основная литература

1. Мелехин, В. Ф. Вычислительные машины, системы и сети : учебник / В. Ф. Мелехин, Е. Г. Павловский. - 3-е изд., стереотип. - Москва : Академия, 2010. - 560 с
2. Максимов, Н. В. Современные информационные технологии : учебное пособие / Н. В. Максимов, Т. Л. Партыка, И. И. Попов. - М. : ФОРУМ, 2011. - 512 с.

Дополнительная литература

1. Михеева, Е. В. Информационные технологии в профессиональной деятельности : учебное пособие / Е. В. Михеева. - М. : Проспект, 2010. - 448 с.

Контрольные вопросы для самопроверки

1. Что такое логическая схема?
2. По каким правилам производится минимизация логического выражения?
3. Дать определение и привести пример минимизации при помощи карты Карно.

Практическое занятие №2

Реализация логических схем на базе дешифратора.

Цель работы:

Приобрести навыки реализации логических схем на базе дешифратора.

Задание:

1. На базе дешифратора реализуйте логическую функцию согласно варианту.
2. Составьте схему, в которой выход № (в соответствии с вариантом) трехвходного дешифратора не возбуждается входным кодом.

Порядок выполнения:

Изучить теоретические данные. На базе дешифратора реализуйте логическую функцию согласно варианту. Составьте схему, в которой выход № (в соответствии с вариантом) трехвходного дешифратора не возбуждается входным кодом.

Форма отчетности:

Отчет сдается в печатном виде. В отчете должны присутствовать:

1. Цель работы
2. Задание
3. Поэтапное выполнение всех заданий варианта
4. Заключение.

Задания для самостоятельной работы:

Предусмотрены вариантом студента.

Рекомендации по выполнению заданий и подготовке к практическому занятию

Ознакомиться с теоретическим материалом, представленным во втором разделе данной дисциплины.

Основная литература

Основная литература

1. Мелехин, В. Ф. Вычислительные машины, системы и сети : учебник / В. Ф. Мелехин, Е. Г. Павловский. - 3-е изд., стереотип. - Москва : Академия, 2010. - 560 с
2. Максимов, Н. В. Современные информационные технологии : учебное пособие / Н. В. Максимов, Т. Л. Партыка, И. И. Попов. - М. : ФОРУМ, 2011. - 512 с.

Дополнительная литература

1. Михеева, Е. В. Информационные технологии в профессиональной деятельности : учебное пособие / Е. В. Михеева. - М. : Проспект, 2010. - 448 с.

Контрольные вопросы для самопроверки

1. Дать определение дешифратора.
2. Изобразить УГО дешифраторов.
3. Описать принцип работы полученного дешифратора.

Практическое занятие №3

Преобразование логического выражения в логическую функцию.

Цель работы:

Приобрести навыки преобразования логического выражения в логическую функцию.

Задание:

1. Составить переключательную таблицу.
2. Из переключательной таблицы составить алгебраическую форму логической функции.
3. С помощью карты Карно минимизировать полученную функцию.
4. По минимизированному выражению составить схемы: а) в базисе И, ИЛИ, НЕ; б) в базисе И-НЕ; в) в базисе ИЛИ-НЕ. При этом воспользоваться теоремой Де Моргана.

Порядок выполнения:

Изучить теоретические данные. По заданному логическому выражению составить переключательную таблицу. Из переключательной таблицы составить алгебраическую форму логической функции. С помощью карты Карно минимизировать полученную функцию. По минимизированному выражению составить схемы: а) в базисе И, ИЛИ, НЕ; б) в базисе И-НЕ; в) в базисе ИЛИ-НЕ. При этом воспользоваться теоремой Де Моргана.

Форма отчетности:

Отчет сдается в печатном виде. В отчете должны присутствовать:

1. Цель работы
2. Задание
3. Поэтапное выполнение всех заданий варианта
4. Заключение.

Задания для самостоятельной работы:

Предусмотрены вариантом студента.

Рекомендации по выполнению заданий и подготовке к практическому занятию

Ознакомиться с теоретическим материалом, представленным в первом разделе данной дисциплины.

Основная литература

1. Мелехин, В. Ф. Вычислительные машины, системы и сети : учебник / В. Ф. Мелехин, Е. Г. Павловский. - 3-е изд., стереотип. - Москва : Академия, 2010. - 560 с
2. Максимов, Н. В. Современные информационные технологии : учебное пособие / Н. В. Максимов, Т. Л. Партыка, И. И. Попов. - М. : ФОРУМ, 2011. - 512 с.

Дополнительная литература

1. Михеева, Е. В. Информационные технологии в профессиональной деятельности : учебное пособие / Е. В. Михеева. - М. : Проспект, 2010. - 448 с.

Контрольные вопросы для самопроверки

1. Что такое логическое выражение?.
2. Чем логическое выражение отличается от логической функции ?.
3. Что такое переключательная таблица?

Практическое занятие №4

Реализация логической функции на базе мультиплексора.

Цель работы:

Приобрести навыки реализации логической функции на базе мультиплексора.

Задание:

1. На базе мультиплексора 74151 реализуйте логическую функцию.
2. Реализовать схему четырехразрядного суммирующего счетчика с параллельным переносом на JK триггерах.
3. Изменить в схеме из п. 2 коэффициент деления
4. Создать схему четырехразрядного вычитающего счетчика с параллельным переносом на JK триггерах

Порядок выполнения:

Изучить теоретические данные. На базе мультиплексора 74151 реализуйте логическую функцию согласно своему варианту. Реализовать схему четырехразрядного суммирующего счетчика с параллельным переносом на JK триггерах в зависимости от варианта: для нечетных вариантов на JK Flip-Flop with Active High Asynch Inputs, для четных вариантов на JK Flip-Flop with Active Low Asynch Inputs. Изменить полученную в п.2. схему, поменяв

коэффициент деления. Создать схему четырехразрядного вычитающего счетчика с параллельным переносом на JK триггерах

Форма отчетности:

Отчет сдается в печатном виде. В отчете должны присутствовать:

1. Цель работы
2. Задание
3. Поэтапное выполнение всех заданий варианта
4. Заключение.

Задания для самостоятельной работы:

Предусмотрены вариантом студента.

Рекомендации по выполнению заданий и подготовке к практическому занятию

Ознакомиться с теоретическим материалом, представленным во втором разделе данной дисциплины.

Основная литература

1. Мелехин, В. Ф. Вычислительные машины, системы и сети : учебник / В. Ф. Мелехин, Е. Г. Павловский. - 3-е изд., стереотип. - Москва : Академия, 2010. - 560 с
2. Максимов, Н. В. Современные информационные технологии : учебное пособие / Н. В. Максимов, Т. Л. Партыка, И. И. Попов. - М. : ФОРУМ, 2011. - 512 с.

Дополнительная литература

1. Михеева, Е. В. Информационные технологии в профессиональной деятельности : учебное пособие / Е. В. Михеева. - М. : Проспект, 2010. - 448 с.

Контрольные вопросы для самопроверки

1. Дать определение мультиплексора.
2. Изобразить УГО исследуемых мультиплексоров.
3. Описать принцип работы каждого из изученных мультиплексоров.
4. Принцип работы JK-триггера?

Практическое занятие №5

Реализация на четырехразрядном счетчике делителя частоты.

Цель работы:

Приобрести навыки реализации делителя частоты на четырехразрядном счетчике.

Задание:

1. Реализовать на четырехразрядном счетчике делитель частоты с фиксированным коэффициентом деления.
2. Реализовать схему счетчика из задания 1 с устанавливаемым коэффициентом счета.
3. На четырехразрядных вычитающих счетчиках составить схему делителя с устанавливаемым коэффициентом деления.
4. Составить схему параллельного трехразрядного регистра памяти с парафазным занесением информации.

Порядок выполнения:

Изучить теоретические данные. Согласно варианту реализовать на четырехразрядном счетчике делитель частоты с фиксированным коэффициентом деления. Реализовать схему счетчика из задания 1 с устанавливаемым коэффициентом счета. На четырехразрядных вычитающих счетчиках составить схему делителя с устанавливаемым коэффициентом деления. Составить схему параллельного трехразрядного регистра памяти с парафазным занесением информации.

Форма отчетности:

Отчет сдается в печатном виде. В отчете должны присутствовать:

1. Цель работы
2. Задание
3. Поэтапное выполнение всех заданий варианта
4. Заключение.

Задания для самостоятельной работы:

Предусмотрены вариантом студента.

Рекомендации по выполнению заданий и подготовке к практическому занятию

Ознакомиться с теоретическим материалом, представленным во втором разделе данной дисциплины.

Основная литература

1. Мелехин, В. Ф. Вычислительные машины, системы и сети : учебник / В. Ф. Мелехин, Е. Г. Павловский. - 3-е изд., стереотип. - Москва : Академия, 2010. - 560 с
2. Максимов, Н. В. Современные информационные технологии : учебное пособие / Н. В. Максимов, Т. Л. Партыка, И. И. Попов. - М. : ФОРУМ, 2011. - 512 с.

Дополнительная литература

1. Михеева, Е. В. Информационные технологии в профессиональной деятельности : учебное пособие / Е. В. Михеева. - М. : Проспект, 2010. - 448 с.

Контрольные вопросы для самопроверки

1. К какому виду логических устройств относятся исследуемые устройства.
2. Называние основные параметры и признаки классификации счетчиков.
3. Опишите способы связи между разрядными схемами счетчиков. Чем они различаются между собой.
4. Каким образом достигается повышение быстродействия счетчиков?

10. ПЕРЕЧЕНЬ ИНФОРМАЦИОННЫХ ТЕХНОЛОГИЙ, ИСПОЛЬЗУЕМЫХ ПРИ ОСУЩЕСТВЛЕНИИ ОБРАЗОВАТЕЛЬНОГО ПРОЦЕССА ПО ДИСЦИПЛИНЕ

Информационно-коммуникационные технологии (ИКТ) – преподаватель использует для:

- получения информации при подготовке к занятиям,
- создания презентационного сопровождения лекций;
- интерактивного общения;
- ОС Windows 7 Professional;
- Microsoft Office 2007 Russian Academic OPEN No Level ;
- Антивирусное программное обеспечение Kaspersky Security.

**11. ОПИСАНИЕ МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЙ БАЗЫ, НЕОБХОДИМОЙ
ДЛЯ ОСУЩЕСТВЛЕНИЯ ОБРАЗОВАТЕЛЬНОГО ПРОЦЕССА ПО ДИСЦИПЛИНЕ**

<i>Вид занятия</i>	<i>Наименование аудитории</i>	<i>Перечень основного оборудования</i>	<i>№ ЛР или ПЗ</i>
1	2	3	4
ЛР	Моделирование и оптимизация систем управления	Лабораторный комплекс "Элементы систем автоматики и вычислительной техники"	1-6
ПЗ	Моделирование и оптимизация систем управления	Лабораторный комплекс "Элементы систем автоматики и вычислительной техники"	1-5
СР	ЧЗЗ	-	-

**ФОНД ОЦЕНОЧНЫХ СРЕДСТВ ДЛЯ ПРОВЕДЕНИЯ
ПРОМЕЖУТОЧНОЙ АТТЕСТАЦИИ ОБУЧАЮЩИХСЯ ПО ДИСЦИПЛИНЕ**

1. Описание фонда оценочных средств (паспорт)

№ компетенции	Элемент компетенции	Раздел	Тема	ФОС
ОПК-1	Способность понимать сущность и значение информации в развитии современного информационного общества, сознавать опасности и угрозы, возникающие в этом процессе, соблюдать основные требования информационной безопасности, в том числе защиты государственной	1. Теоретические основы построения узлов ЭВМ	1.1. Физические формы представления информации	Экзаменационный билет
		2. Элементы и узлы ЭВМ	2.1. Логические элементы.	Экзаменационный билет
			2.3. Триггеры.	Экзаменационный билет
			2.5. Дешифратор и мультиплексор.	Экзаменационный билет
		3. Процессоры и микропроцессоры.	3.1. Основные принципы построения устройств обработки цифровой информации.	Экзаменационный билет
			3.4. Способы адресации	Экзаменационный билет
ОПК-2	Способность решать стандартные задачи профессиональной деятельности на основе информационной и библиографической культуры с применением инфокоммуникационных технологий и с учетом основных требований информационной безопасности	1. Теоретические основы построения узлов ЭВМ	1.2. Математические модели схем ЭВМ.	Экзаменационный билет
		2. Элементы и узлы ЭВМ	2.2. Основные характеристики логических элементов.	Экзаменационный билет
			2.4. Счетчики.	Экзаменационный билет
		3. Процессоры и микропроцессоры.	3.2. Принципы организации арифметико-логических устройств.	Экзаменационный билет
			3.3. Структура и формат команд. Кодирование команд.	Экзаменационный билет

2. Экзаменационные вопросы

№ п/п	Компетенции		ЭКЗАМЕНАЦИОННЫЕ ВОПРОСЫ	№ и наименование раздела
	Код	Определение		
1	2	3	4	5
1	ОПК-1	Способность понимать сущность и значение информации в	1. Физические формы представления информации. 2. Потенциальный способ представления информации. 3. Импульсный способ представления информации	1. Теоретические основы построения узлов ЭВМ

		развитии современного информационного общества, осознавать опасности и угрозы, возникающие в этом процессе, соблюдать основные требования информационной безопасности, в том числе защиты государственной	<p>4. Динамический способ представления информации</p> <p>1. Базовые логические элементы.</p> <p>2. Классификация логических элементов.</p> <p>3. Триггер. Основные триггеры.</p> <p>4. Операции выполняемые триггерами.</p> <p>5. Дешифратор и мультиплексор.</p>	2. Элементы и узлы ЭВМ
			<p>1. Операционный блок.</p> <p>2. Микрооперация</p> <p>3. Классификация управляющих автоматов</p> <p>4. Способы адресации. Подразумеваемый операнд, подразумеваемый адрес.</p> <p>5. Способы адресации. Укороченная адресация, косвенная адресация.</p> <p>6. Способы адресации. Стековая адресация, индексация.</p>	3. Процессоры и микропроцессоры
2	ОПК-2	Способность решать стандартные задачи профессиональной деятельности на основе информационной и библиографической культуры с применением инфокоммуникационных технологий и с учетом основных требований информационной безопасности	1. Алфавит переменных.	1. Теоретические основы построения узлов ЭВМ
			2. Комбинационные схемы	
			3. Переключательные схемы	
			4. Булева функция	
			5. Автоматы Мили и Мура	
			1. Основные характеристики логических элементов.	2. Элементы и узлы ЭВМ
			2. Классификация логических элементов по типу радиокомпонентов.	
			3. Счетчики.	
			4. Двоичные счетчики	
			5. Способы повышения производительности счетчиков.	
			6. Счетчики с $K \neq 2$	
			1. Принципы организации Арифмето-логических устройств.	3. Процессоры и микропроцессоры
			2. Классификация Арифмето-логических устройств	
			3. Основные виды дискретного преобразования информации	
			4. Программа и команда	
5. Основные группы команд				

3. Описание показателей и критериев оценивания компетенций

Показатели	Оценка	Критерии
<p>Знать (ОПК-1):</p> <ul style="list-style-type: none"> – Основные принципы построение узлов ЭВМ, <p>(ОПК-2)</p> <ul style="list-style-type: none"> – Взаимодействие цифровых узлов и блоков. <p>Уметь (ОПК-1):</p> <ul style="list-style-type: none"> – Контролировать работу вычислительных устройств; <p>(ОПК-2)</p> <ul style="list-style-type: none"> – Вводить, выводить и обрабатывать различные виды информации <p>Владеть (ОПК-1):</p> <ul style="list-style-type: none"> – Навыками практической работы с лабораторными макетами логических элементов; <p>(ОПК-2)</p> <ul style="list-style-type: none"> – Навыками разработки и обоснования соответствующих техническому заданию и современному уровню развития информационных систем. 	<p>отлично</p>	<p>Студент должен во время ответа показать знания: логических элементов, основных процессов в вычислительной технике, функционирования микропроцессорных устройств, основных терминов используемые в научно-технической литературе по вычислительной технике. Студент должен иметь навыки владения: использования универсальных программных продуктов на ПК, понимания материала и способности высказывания мыслей на научно-техническом языке. Студент во время ответа должен продемонстрировать умения: использования навыков анализа основных логических элементов и законов их функционирования.</p>
	<p>хорошо</p>	<p>Ответ содержит неточности. Дополнительные вопросы требуются, но студент с ними справляется отлично.</p>
	<p>удовлетворительно</p>	<p>Ответил только на один вопрос, либо слабо ответил на оба вопроса. На дополнительные вопросы отвечает неуверенно.</p>
	<p>неудовлетворительно</p>	<p>На оба вопроса студент отвечает неубедительно. На дополнительные вопросы преподавателя также не может ответить.</p>

4. Методические материалы, определяющие процедуры оценивания знаний, умений, навыков и опыта деятельности

Дисциплина вычислительная техника и информационные технологии направлена на ознакомление с основными элементами и процессами, протекающими в вычислительной технике, и её практическим применением в современных системах телекоммуникаций; на получение теоретических знаний и практических навыков с различными схемами вычислительной техники для их дальнейшего использования в практической деятельности.

Изучение дисциплины вычислительная техника и информационные технологии предусматривает:

- лекции,
- лабораторные работы,
- практические занятия,
- самостоятельную работу студента,
- экзамен.

В ходе освоения раздела 1 «Теоретические основы построения узлов ЭВМ» студенты должны изучить: физические формы представления информации, математические модели схем ЭВМ.

В ходе освоения раздела 2 «Элементы и узлы ЭВМ» студенты должны изучить: различные логические элементы, триггеры, счетчики, дешифраторы и мультиплексоры, их принципы действия и рассмотреть случаи их применения на практике.

В ходе освоения раздела 3 «Процессоры и микропроцессоры» студенты должны изучить: Основные принципы построения устройств обработки цифровой информации, принципы организации арифметико-логических устройств, структура и формат команд, кодирование команд, способы адресации.

В процессе проведения лабораторных работ происходит закрепление знаний, формирование умений и навыков реализации представления об различных способах коммутации различных логических элементов.

В процессе проведения практических работ происходит закрепление знаний, формирование умений и навыков работы с логическими выражениями и их преобразований.

При подготовке к экзамену рекомендуется особое внимание уделить следующим вопросам: логические элементы, способы адресации, триггеры.

Работа с литературой является важнейшим элементом в получении знаний по дисциплине. Прежде всего, необходимо воспользоваться списком рекомендуемой по данной дисциплине литературой. Дополнительные сведения по изучаемым темам можно найти в периодической печати и Интернете.

АННОТАЦИЯ
рабочей программы дисциплины
Вычислительная техника и информационные технологии

1. Цель и задачи дисциплины

Приобретение теоретических основ и практических навыков в области вычислительных машин, изучение общих принципов построения и функционирования базовых логических устройств, получение студентами комплекса знаний, умений и навыков, необходимых для повышения эффективности профессиональной деятельности средствами информационных технологий

Ознакомление обучающихся с теоретическими знаниями по вычислительным машинам, развитие умения и навыки работы на ЭВМ, формирование знаний и умений по архитектуре и аппаратной части ЭВМ.

2. Структура дисциплины

2.1 Распределение трудоемкости по отдельным видам учебных занятий, включая самостоятельную работу: Лк – 17 часов, ЛР – 34 часов, ПЗ – 17 часов, СРС – 40 часов. Общая трудоемкость дисциплины составляет 144 часов, 4 зачетных единиц

2.2 Основные разделы дисциплины:

1. Теоретические основы построения узлов ЭВМ
2. Элементы и узлы ЭВМ
3. Процессоры и микропроцессоры

3. Планируемые результаты обучения (перечень компетенций)

Процесс изучения дисциплины направлен на формирование следующей компетенции:

ОПК-1 - Способность понимать сущность и значение информации в развитии современного информационного общества, сознавать опасности и угрозы, возникающие в этом процессе, соблюдать основные требования информационной безопасности, в том числе защиты государственной

ОПК-2 - Способность решать стандартные задачи профессиональной деятельности на основе информационной и библиографической культуры с применением инфокоммуникационных технологий и с учетом основных требований информационной безопасности

4. Вид промежуточной аттестации: экзамен

**ФОНД ОЦЕНОЧНЫХ СРЕДСТВ ДЛЯ ТЕКУЩЕГО
КОНТРОЛЯ УСПЕВАЕМОСТИ ПО ДИСЦИПЛИНЕ**

1. Описание фонда оценочных средств (паспорт)

№ компетенции	Элемент компетенции	Раздел	Тема	ФОС
1.	ОПК - 1	1. Теоретические основы построения узлов ЭВМ	1.1. Физические формы представления информации	Отчеты по лабораторным работам, практическим занятиям,
		2. Элементы и узлы ЭВМ	2.1. Логические элементы.	Отчеты по лабораторным работам, практическим занятиям,
			2.3. Триггеры.	Отчеты по лабораторным работам, практическим занятиям,
			2.5. Дешифратор и мультиплексор.	Отчеты по лабораторным работам, практическим занятиям,
2.	ОПК - 2	1. Теоретические основы построения узлов ЭВМ	1.2. Математические модели схем ЭВМ.	Отчеты по лабораторным работам, практическим занятиям,
		2. Элементы и узлы ЭВМ	2.2. Основные характеристики логических элементов.	Отчеты по лабораторным работам, практическим занятиям,
			2.4. Счетчики.	Отчеты по лабораторным работам, практическим занятиям,

2. Описание показателей и критериев оценивания компетенций

Показатели	Оценка	Критерии
<p>Знать (ОПК-1):</p> <ul style="list-style-type: none"> – Основные принципы построение узлов ЭВМ, <p>(ОПК-2)</p> <ul style="list-style-type: none"> – Взаимодействие цифровых узлов и блоков. <p>Уметь (ОПК-1):</p> <ul style="list-style-type: none"> – Контролировать работу вычислительных устройств; <p>(ОПК-2)</p> <ul style="list-style-type: none"> – Вводить, выводить и обрабатывать различные виды информации <p>Владеть (ОПК-1):</p>	зачтено	Во время защиты лабораторных работ и практических работ студент ответил на поставленные преподавателем вопросы. Продемонстрировал знание построения логических устройств, владение навыками разработки технического задания.
	не зачтено	Во время защиты лабораторных работ и практических работ студент не смог дать ответы на поставленные преподавателем вопросы. Либо отчет имеет ряд

<p>– Навыками практической работы с лабораторными макетами логических элементов; (ОПК-2)</p> <p>– Навыками разработки и обоснования соответствующих техническому заданию и современному уровню развития информационных систем.</p>		замечаний.
--	--	------------

Программа составлена в соответствии с федеральным государственным образовательным стандартом высшего образования по направлению подготовки 11.03.02 Инфокоммуникационные технологии и системы связи от «6» марта 2015 г. №174

для набора 2015 года: и учебным планом ФГБОУ ВО «БрГУ» для очной формы обучения от «13» июля 2015г. № 475

для набора 2016 года: и учебным планом ФГБОУ ВО «БрГУ» для очной формы обучения от «06» июня 2016г. № 429

для набора 2017 года: и учебным планом ФГБОУ ВО «БрГУ» для очной формы обучения от «6» марта 2017г. № 125

для набора 2018 года: и учебным планом ФГБОУ ВО «БрГУ» для очной формы обучения от «12» марта 2018г. № 130

Программу составил (и):

Ульянов А.Д. старший преподаватель кафедры УТС
Ф.И.О., должность, ученое звание, (степень)

_____ (подпись)

Рабочая программа рассмотрена и утверждена на заседании кафедры _____ УТС
(сокращенное наименование)
от «28» декабря 2018 г., протокол № 6

Заведующий кафедрой УТС
(разработчик)

_____ (подпись)

Игнатъев И.В.
(Ф.И.О.)

СОГЛАСОВАНО:

Заведующий выпускающей кафедрой _____

_____ (подпись)

Игнатъев И.В.
(Ф.И.О.)

Директор библиотеки _____

_____ (подпись)

Сотник Т.Ф.

Рабочая программа одобрена методической комиссией ЭиА факультета
(сокращенное наименование)
от «28» декабря 2018 г., протокол № 6

Председатель методической комиссии факультета _____

_____ (подпись)

Ульянов А.Д.
(Ф.И.О.)

СОГЛАСОВАНО:

Начальник

учебно-методического управления _____

Г.П. Нежевец

Регистрационный № _____